



PCT

特許協力条約に基づいて公開された国際出願

<p>(51) 国際特許分類6 G02F 1/136</p>	<p>A1</p>	<p>(11) 国際公開番号 WO97/23806</p> <p>(43) 国際公開日 1997年7月3日 (03.07.97)</p>
<p>(21) 国際出願番号 PCT/JP96/03809</p> <p>(22) 国際出願日 1996年12月26日 (26.12.96)</p> <p>(30) 優先権データ 特願平7/339749 1995年12月26日 (26.12.95) JP</p> <p>(71) 出願人 (米国を除くすべての指定国について) セイコーエプソン株式会社 (SEIKO EPSON CORPORATION)[JP/JP] 〒163 東京都新宿区西新宿二丁目4番1号 Tokyo, (JP)</p> <p>(72) 発明者: および (75) 発明者/出願人 (米国についてのみ) 東清一郎 (HIGASHI, Seiichiro)[JP/JP] 〒392 長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内 Nagano, (JP)</p> <p>(74) 代理人 弁理士 鈴木喜三郎, 外 (SUZUKI, Kisaburo et al.) 〒163 東京都新宿区西新宿二丁目4番1号 セイコーエプソン株式会社内 Tokyo, (JP)</p>		<p>(81) 指定国 JP, KR, US.</p> <p>添付公開書類 国際調査報告書</p>
<p>(54) Title: ACTIVE MATRIX SUBSTRATE, PRODUCTION METHOD OF ACTIVE MATRIX SUBSTRATE, LIQUID CRYSTAL DISPLAY DEVICE AND ELECTRONIC EQUIPMENT</p> <p>(54) 発明の名称 アクティブマトリクス基板、アクティブマトリクス基板の製造方法、液晶表示装置、及び電子機器</p> <div data-bbox="472 1192 1203 1682"> <p>(1): X direction (2): Y direction</p> </div> <p>(57) Abstract</p> <p>In a laser anneal processing for an amorphous silicon film (30) formed on the surface of a substrate (20), a line beam L0 whose laser beam irradiation area L4 is elongated in an X direction and whose half width in a laser beam intensity profile in the Y direction is narrower than a pixel pitch in the Y direction is applied to the silicon film (30). When the position of the line beam L0 is fixed and the substrate (20) is moved by a stage in the Y direction, the moving speed is decreased when the line beam L0 irradiates a formation area A1 of a TFT (10) in the active matrix portion, and is increased when it irradiates other unnecessary portions. When a formation schedule area A2 of a data driver portion (7) is irradiated, this area is annealed by a laser as a whole because the TFTs (10) are arranged in a complexed way.</p>		

(57) 要約

基板20の表面に形成したアモルファルシリコン膜30に対するレーザアニール処理では、レーザ光の照射領域L4がX方向に長く、且つY方向のレーザ光強度プロファイルにおける半値幅がY方向における画素ピッチよりも狭いラインビームL0をシリコン膜30に照射する。ここで、ラインビームL0の位置を固定しておき、基板20をステージによってY方向に向けて移動させる際に、ラインビームL0がアクティブマトリクス部のうちTFT10の形成領域A1を照射しているときには移動速度を下げ、その他の不要な部分を照射しているときには移動速度を上げる。ここで、データドライバ部7の形成予定領域A2を照射するときには、TFT10が複雑に配置されているので、この領域全体をレーザアニールする。

情報としての用途のみ

PCTに基づいて公開される国際出願をパンフレット第一頁にPCT加盟国を特定するために使用されるコード

AL	アルバニア	EE	エストニア	LR	リベリア	RU	ロシア連邦
AM	アルメニア	EF	スペイン	LS	レソト	RS	セルビア共和国
AT	オーストリア	FI	フィンランド	LT	リトアニア	SG	シンガポール
AZ	アゼルバイジャン	FR	フランス	LV	ラトヴィア	SI	スロベニア
BB	バハマ	GB	イギリス	MC	モナコ	SK	スロバキア
BE	ベルギー	GE	グルジア	MD	モルドバ	SN	セネガル
BG	ブルガリア	GR	ギリシャ	MG	マダガスカル	SS	ス威士チランド
BR	ブラジル	CH	スイス	MK	マケドニア	SD	スーダン
BS	バハマ	CR	コスタリカ	UA	ウクライナ	TD	チャド
BT	ブータン	DE	ドイツ	US	アメリカ合衆国	TG	トーゴ
CA	カナダ	DK	デンマーク	MM	ミャンマー	TM	トルクメニスタン
CC	ココス（キリング）	EE	エストニア	MN	モンゴル	TR	トルコ
CD	コンゴ民主共和国	EG	エジプト	MX	メキシコ	TT	トリニダード・トバゴ
CE	セント・ヘレナ	ES	スペイン	NE	ニジェール	TV	ツバル
CF	中央アフリカ共和国	ET	エチオピア	NL	オランダ	UG	ウガンダ
CG	コンゴ共和国	FI	フィンランド	NO	ノルウェー	US	アメリカ合衆国
CH	スイス	FR	フランス	NZ	ニュージーランド	UY	ウルグアイ
CI	コート・ジボワール	GB	イギリス	PE	ペルー	VN	ベトナム
CK	クック	GE	グルジア	PT	ポルトガル		
CL	チリ	GR	ギリシャ				
CM	カメルーン	DE	ドイツ				
CN	中国	DK	デンマーク				
CO	コロンビア	EE	エストニア				
CR	コスタリカ	EG	エジプト				
CU	キューバ	ES	スペイン				
CY	キプロス	ET	エチオピア				
CZ	チェコ	FI	フィンランド				
DE	ドイツ	FR	フランス				
DK	デンマーク	GB	イギリス				

明 細 書

アクティブマトリクス基板、アクティブマトリクス基板の製造方法、液晶表示装置、及び電子機器

技術分野

本発明は、アクティブマトリクス型液晶ディスプレイ等に適應されるアクティブマトリクス基板及びその製造方法に関する。また本発明はこれらを適應した液晶表示装置及び電子機器に関する。更に詳しくは、基板の表面に半導体膜を溶融結晶化するためのアニール技術に関するものである。

背景技術

多結晶シリコン等の半導体膜は薄膜トランジスタ（以下本願明細書中ではTFTと称する）や太陽電池に広く利用されている。これら半導体装置の性能はひとえにその半導体装置の能動部を構成する半導体膜の良否に強く依存している。いうまでもなく高品質の半導体膜が得られれば、それに應じた高性能の半導体装置が得られるのである。例えば液晶表示装置などに用いられている多結晶シリコン薄膜トランジスタ（poly-Si TFT）では多結晶シリコン（poly-Si）の膜質が優れている程高速スイッチング動作する良好なTFTが得られる。又光の吸収効率に大差がなければ結晶化率が高い半導体膜を用いた太陽電池程高いエネルギー変換効率を得られる。この様に高品質の結晶性半導体膜は多くの産業分野に渡って強く求められている。

然るに斯様な高品質半導体膜の形成は一般にかなり困難であり、しかも大きな制約下にある。TFTの分野では工程最高温度が1000℃程度の高温プロセスにてトランジスタを作成する事で移動度の比較的高い多結晶シリコン膜を形成している。この為半導体膜や半導体装置を作成し得る基板に対してはその基板が高温の熱工程に耐え得る耐熱性を有するとの制約が生じている。こうして昨今のpoly-Si TFTは総て皆高価で小さい石英ガラス基板上に作成されている。同じ理由で太陽電池には通常非晶質シリコン（a-Si）が用いられている。

液晶表示装置のアクティブマトリクス基板では、基板に低価格のガラス基板を用いることができるよう低温プロセスによって薄膜トランジスタ（以下、T F Tという。）を製造することが望まれている。ここで、T F Tのチャネル領域等を形成するのに必要なシリコン膜のうち、アモルファスシリコン膜については低温プロセスによって成膜できるものの、T F Tの移動度が低いという欠点がある。

そこで、ガラス基板上に形成したアモルファスシリコン膜に対して、基板を移動させながらレーザーを照射するレーザー結晶化処理を行い、アモルファスシリコン膜を溶融結晶化することによって、移動度の高いポリシリコンT F Tを形成する方法が案出されている。一般的にはパルスレーザーを重ねあわせながら基板をレーザー光に対して相対的に移動させる事で大面積のポリシリコン膜を作製する方法がとられている。これによってT F Tの移動度をアモルファスシリコンの場合に比較して1桁以上向上させる事が可能となる。

しかしながら、従来のように基板を移動しながらレーザー照射するレーザー結晶化法では、レーザー発振のパルス間のバラツキや、レーザー照射領域の重なり部分が原因でポリシリコン膜に不均一性が生じるという問題がある。また、同一箇所になくとも10回以上のレーザー照射を行わなければ良質のポリシリコン膜が作製できず、このためスループットの向上を図れないという問題点がある。

以上の問題点に鑑みて、本発明の課題は、基板上に形成した半導体膜に対するレーザー結晶化を均一でしかも高いスループットで行うことのできるアクティブマトリクス基板およびその製造方法を提供することにある。

発明の開示

上記課題を解決するために、本発明では、基板上の面方向で互いに交差する方向に延びる複数の走査線および複数のデータ線と、該データ線および前記走査線によって区画された複数の画素領域のそれぞれに対応して形成された画素電極および画素用薄膜トランジスタとを有するアクティブマトリクス基板の製造方法において、前記画素用薄膜トランジスタが略同一線上に並ぶ方向をX方向とし、それに交差する方向をY方向としたときに、前記基板の表面に前記画素用薄膜トランジスタを形成するための半導体膜を形成した以降、該半導体膜を溶融結晶化するためのアニール工程では、

レーザ光の照射領域がX方向に長く、かつ、Y方向のレーザ光強度プロファイルにおける半値幅がY方向における画素ピッチよりも狭いラインビームを前記半導体膜に照射するレーザアニール処理を行うことを特徴とする。

レーザ結晶化ポリシリコン膜の不均一性は、レーザ照射の際の基板の送りピッチに対応した周期で生じる。すなわち照射レーザのスキャン方向のビーム幅が画素ピッチより狭ければ、これを重ねあわせながらスキャン照射する事で少なくとも不均一性の周期が画素ピッチより大きくなる事が無い。この結果、ポリシリコン膜の不均一性を大幅に低減する事ができる。

本発明において、前記レーザアニール処理では、前記基板と前記ラインビームとをY方向に向けて相対的に移動させることによって前記半導体膜の溶融結晶化を連続的に行うとともに、該半導体膜のY方向のうち、前記画素用薄膜トランジスタの形成予定領域に相当する領域に対して選択的に前記ラインビームを照射することが好ましい。このように構成すると、無駄な領域に対するレーザ照射時間を削ることができるので、均一性を確保しつつレーザアニール時間を短縮でき、スループットが向上する。

本発明において、前記レーザアニール処理では、前記基板と前記ラインビームとをY方向に向けて相対的に移動させることによって前記半導体膜の溶融結晶化を連続的に行うとともに、前記半導体膜のY方向のうち、前記画素用薄膜トランジスタの形成予定領域に相当する領域に対して選択的に、かつ、繰り返し前記ラインビームを照射することが好ましい。

本発明において、前記レーザアニール処理は、前記半導体膜をパターニングするパターニング工程前に行うことが好ましい。基板の表面に下地保護膜を形成した場合に、レーザアニール処理によって下地保護膜を損傷しないからである。

この場合には、前記半導体膜に対する前記レーザアニール処理のアニールパターンと、前記パターニング工程で用いるマスクパターンとのアライメントは、前記レーザアニール処理後の前記半導体膜の色相がラインビームの照射度合いによって異なることを利用して行うことが好ましい。このように構成すると、実際のアニールパターンに対して直接、マスクのアライメントを行うことになるので、T F T特性のばらつきを抑えることができると同時に、チャネル領域だけを結晶化してスループットを

さらに向上することも可能となる。

ここで、前記半導体膜に対する前記レーザアニール処理のアニールパターンと、前記パターンニング工程で用いるマスクパターンとのアライメントは、前記半導体膜の下層側に形成した下地保護膜に付したアライメントマークを利用して行うこともできる。

本発明において、前記レーザアニール処理は、前記半導体膜をパターンニングする前記パターンニング工程の後に行うこともある。

本発明において、前記レーザアニール処理に先立って、前記基板の所定位置に光硬化性樹脂を塗布しておき、前記レーザアニール処理において前記光硬化性樹脂にもレーザ光を照射し、該光硬化性樹脂を硬化させることによって、以降に用いるマスクと前記基板との位置合わせに用いるアライメントパターンを形成することが好ましい。

本発明では、前記画素用薄膜トランジスタは、チャンネル長の方向がX方向となるように形成することが好ましい。このように構成すると、チャンネル長方向にアニール不足の部分が発生しにくいので、TFTの電気的特性が安定する。また、レーザアニール工程の後にパターンニング工程を行う場合に、パターンニング工程では、チャンネル長方向におけるアライメント精度を緩くすることができるという利点がある。

本発明において、前記基板上には、前記画素領域が形成されているアクティブマトリクス部のY方向の側に、駆動回路用薄膜トランジスタを備える駆動回路が構成されている場合には、前記レーザアニール処理では、該駆動回路形成予定領域全体をアニールすることが好ましい。このように構成すると、駆動回路においてTFTが整列していなくても、TFTを構成する半導体膜を漏れなく結晶化できる。

この場合に、前記レーザアニール処理では、前記基板と前記ラインビームとをY方向に向けて相対的に移動させるときの移動速度を変えることによって前記半導体膜の所定領域を選択的にアニールすることが好ましい。

とくに、前記レーザアニール処理では、前記基板と前記ラインビームとをY方向に向けて相対的に移動させるときの移動速度を、前記ラインビームが前記駆動回路形成予定領域を照射するときには該ラインビームが前記画素用薄膜トランジスタの形成予定領域を照射するときより低くすることが好ましい。

このように構成すると、スループットを高めながら、駆動回路を構成するTFTの

移動度を高めることができる。

本発明において、前記レーザ光の照射経路の途中位置に、前記ラインビームを前記半導体膜のX方向のうち前記画素用薄膜トランジスタの形成予定領域を選択的に照射するスポット状のビームとする光学系を配置した状態で前記レーザアニール処理を行うことが好ましい。このように構成すると、半導体膜のX方向のうち画素用薄膜トランジスタの形成領域を選択的に照射するスポット状のビームとする光学系を配置した場合には、X方向においても無駄な部分にレーザ光を照射することがなく、その分だけ、必要な領域へのレーザ光強度を高くすることができる。

本発明において、前記アニール工程では、前記半導体膜に対して前記レーザアニール処理を行った以降、該半導体膜に対して急速加熱処理を行うことが好ましい。それとは逆に、前記アニール工程では、前記半導体膜に対して急速加熱処理を行った後に該半導体膜に対して前記レーザアニール処理を行うこともある。

この場合には、前記レーザアニール処理を行うためのレーザ光を照射している前記基板に急速加熱処理を行うための光ビームも同時に照射することが好ましい。

本発明において、前記アニール工程では、前記レーザアニール処理を行うためのレーザ光を照射している領域を含む領域に対し、急速加熱処理を行うための光ビームも同時に照射することが好ましい。

図面を参照して、本発明の実施例を説明する。

(アクティブマトリクス基板の構成)

図1(A)は、液晶表示装置のアクティブマトリクス基板の構成を模式的に示す説明図である。

この図において、液晶表示装置1は、そのアクティブマトリクス基板2上に、データ線3および走査線4で区画形成された画素領域5を有し、そこには、画素用のTFT10を介して画像信号が入力される液晶セルの液晶容量6が構成されている。以下の説明では、アクティブマトリクス基板2上で互いに交差する方向をX方向およびY方向とし、そのうち、x方向に走査線4が延び、y方向にデータ線3が延びているものとする。なお、本願発明におけるX方向は、ここでいうx方向(走査線4が延びる方向)に限定されるものでなく、また、本願発明におけるY方向は、ここでいうy

方向（データ線3が延びる方向）に限定されるものでない。本願発明におけるX方向が、データ線3が延びる方向を意味し、本願発明におけるY方向が、走査線4が延びる方向を意味することもある。

データ線3に対しては、シフトレジスタ71、レベルシフタ72、ビデオライン73、アナログスイッチ74を備えるデータドライバ部7が構成され、走査線4に対しては、シフトレジスタ81およびレベルシフタ82を備える走査ドライバ部8が構成されている。なお、画素領域には、前段の走査線との間に保持容量51が形成されることもある。

データ線3、走査線4、画素領域5、およびTFT10からなるアクティブマトリクス部9では、TFT10がX方向およびY方向に整列しているが、データドライバ部7では、図1（B）に2段のインバータを示すように、N型のTFTn1、n2と、P型のTFTp1、p2とによって構成されたCMOS回路などが高密度に形成されることから、そこに形成されるTFTn1、n2やP型のTFTp1、p2は、X方向およびY方向に整列しているとは限らない。但し、アクティブマトリクス部9のTFT10と、データドライバ部7のTFTn1、n2やP型のTFTp1、p2とは、基本的な構造が同じであり、同じ工程中で製造される。

アクティブマトリクス基板2としては、アクティブマトリクス部9だけが基板上に構成されたもの、アクティブマトリクス部9と同じ基板上にデータドライバ部7が構成されたもの、アクティブマトリクス部9と同じ基板上に走査ドライバ部8が構成されたもの、アクティブマトリクス部9と同じ基板上にデータドライバ部7および走査ドライバ部8の双方が構成されたものがある。また、ドライバ内蔵型のアクティブマトリクス基板2であっても、データドライバ部7に含まれるシフトレジスタ71、レベルシフタ72、ビデオライン73、アナログスイッチ74等の全てがアクティブマトリクス基板2上に構成された完全ドライバ内蔵タイプと、それらの一部がアクティブマトリクス基板2上に構成された部分ドライバ内蔵タイプとがある。また、アクティブマトリクス基板2として、基板上にデータドライバ部7または走査ドライバ部8の全てが構成されたもの、あるいはその一部だけが構成されたものがある。本発明は、いずれのタイプにも適用できる。以下の説明では、アクティブマトリクス部9に対してY方向の側にデータドライバ部7が構成されたアクティブマトリクス基板2を例

に説明する。なお、図1(A)では、アクティブマトリクス部9に対するY方向のうち、一方の側にのみデータドライバ部7が図示されているが、アクティブマトリクス部9に対するY方向の両方の側にデータドライバ部7が構成されることが多い。そこで、以下の説明では、アクティブマトリクス部9に対するY方向の両側にデータドライバ部7が構成されているものとして説明する。

図2は、アクティブマトリクス基板の画素領域の1つを拡大して示す平面図、図3(A)は、図2のI-I'線における断面図、図3(B)は、図2のII-II'線における断面図である。なお、データドライバ部におけるTFTも基本的には同一の構造を有するので、その図示を省略する。

これらの図において、いずれの画素領域5でも、TFT10は、ガラス基板20上において、データ線3に対して層間絶縁膜16のコンタクトホール17を介して電氣的接続するソース領域11、画素電極19に対して層間絶縁膜16のコンタクトホール18を介して電氣的接続するドレイン領域12、ドレイン領域12とソース領域11との間にチャンネルを形成するためのチャンネル領域13、およびチャンネル領域13に対してゲート絶縁膜14を介して対峙するゲート電極15から構成されている。このゲート電極15は、走査線4の一部として構成されている。なお、ガラス基板20の表面側には、シリコン窒化膜やシリコン酸化膜等からなる下地保護膜21が形成されている。

TFT10は、各画素領域5の間で同一の位置に形成されている場合、隣接する画素領域5の間で対称の位置に形成されている場合等々があるが、X方向およびY方向のうちの一方では、TFT10が整列している場合が多い。かかる整列されている構造を利用して、本例では、以下の製造方法を用いている。

(TFTの製造方法)

図面を参照して、本発明の実施例1に係るTFTの製造方法を説明する。

本例では、基板として、235mm角の無アルカリガラス板を用いて以下の各工程を行なう。

図4は、図2のI-I'線における断面に対応するTFTの工程断面図、図5は、図2のII-II'線における断面に対応するTFTの工程断面図である。なお、データドライバ部におけるTFTも基本的には同じ工程中で製造されるので、その説明を省

略する。

(下地保護膜形成工程)

図4 (A)、図5 (A)において、まず、下地保護膜21としてシリコン酸化膜を用いる場合、ECR-PECVD法により250℃~300℃の温度条件下で、基板20の表面に下地保護膜21となる膜厚が500から2000オングストロームのシリコン酸化膜を形成する。シリコン酸化膜は、APCVD法でも形成でき、この場合には、基板20の温度を250℃から450℃までの範囲に設定した状態で、モノシラン(SiH_4)及び酸素を原料ガスとしてシリコン酸化膜を形成する。

(半導体膜堆積工程)

次に、下地保護膜21の表面に不純物がドーピングされていない真性のシリコン膜30(半導体膜)を200から1000オングストローム程度堆積する。シリコン膜30の形成にあたっては、LPCVD法、PECVD法あるいはスパッタ法を用いてもよく、これらの方法によれば、その成膜温度を室温から500℃程度までの範囲に設定することができる。

(アニール工程)

次に、図4 (B)、図5 (B)、(C)に示すように、アモルファスのシリコン膜30にレーザー光を照射してシリコン膜30を多結晶シリコンに改質する。照射レーザーとしてはエキシマレーザーがよく用いられる。本例では、キセノン・クロライド(XeCl)のエキシマ・レーザー(波長が308nm)を照射する(レーザーアニール処理/アニール工程)。この工程において、レーザー照射は、基板20を室温から500℃までの任意の温度に加熱した状態で、真空雰囲気中または不活性ガス、酸素雰囲気中などで行なう。

このアニール工程を行う前の状態(図4 (A)、図5 (A)に示す状態)は、図6に示すように、ガラス基板20の全面に下地保護膜21およびシリコン膜30が形成されているが、シリコン膜30のうち、アクティブマトリクス部9においてTFT10のソース領域11、ドレイン領域12、およびチャネル領域13となるべき部分は、図6に点線L1で示す部分だけであり、データドライバ部7においてTFT10のソース領域11、ドレイン領域12、およびチャネル領域13となるべき部分は、図6に点線L2で示す部分だけである。

そこで、本例では、アクティブマトリクス部 9 については、シリコン膜 30 の Y 方向のうち、T F T 10 の形成予定領域 A 1 に相当する領域に対して選択的にレーザ光を照射し、T F T 10 の形成予定領域 A 1 の間の領域 B 2 には、レーザ光を積極的に照射しない。

また、基板 20 上におけるアクティブマトリクス部 9 の Y 方向の側には、同じく T F T 10 を備えるデータドライバ部 7 が構成されることになっているが、このデータドライバ部 7 では、狭い領域内に多数の T F T 10 を配置するという観点から、アクティブマトリクス領域 9 と相違して、T F T 10 の形成予定領域は、点線 L 2 で示すように、X 方向において、通常、単純な直線配列のみではない。従って、データドライバ部 7 に対しては、T F T 10 の形成予定領域に対して選択的にレーザ光を照射することができないので、データドライバ部 7 に対しては、その全領域 A 2 に対してレーザ光を照射する。なお、アクティブマトリクス部 9 とデータドライバ部 7 との間の領域 B 2 にも、レーザ光を積極的に照射しない。

また、本例では、図 7 (A) に示すように、レーザ光の照射領域 L 4 が X 方向に長く、かつ、Y 方向のレーザ光強度プロファイルにおける半値幅が Y 方向における画素ピッチよりも狭いラインビーム L 0 (たとえば、レーザパルスの繰り返し周波数が 100~1000 Hz、好ましくは 200 Hz のラインビーム) をシリコン膜 30 に照射する。すなわち、図 7 (B) に示すように、シリコン膜 30 上におけるラインビームの照射領域 L 4 において、その Y 方向における位置を横軸とし、レーザ光の強度を縦軸として表したレーザ光強度プロファイルにおいて、半値幅 L 2 1 (ピーク値 H に対して 1/2 の強度に相当する領域における幅) が Y 方向における画素ピッチ P Y よりも狭いラインビームを用いている。レーザー光源の出力には限界があるのでこのビームをどのように整形すれば最も効率的にしかも均一なポリシリコン膜が形成できるかと言う事が重要である。そこで本発明ではレーザーの Y 方向の幅を極力狭くしつつ X 方向の長さを極力長くとることによってスループットを確保しつつ均一性の向上を図っている。レーザ結晶化シリコン膜の結晶性の空間分布は、このラインビーム L 0 のレーザ光強度プロファイルと、重ね率に依存する。従来のようにレーザ光の半値幅 L 2 1 が画素ピッチ P Y より大きいと、結晶性分布の周期は、画素ピッチ P Y より必ず大きな周期となる。これに対して、画素ピッチ P Y より狭い半値幅 L 2 1 のレ

ーザ光を用いこのレーザー光を重ねあわせながら照射する事によって、画素ピッチ P_Y 以下の周期で結晶性分布を制御できる。これによって、TFTのばらつきを大きく低減することができる。ここで、図7(C)に示すように、レーザー光強度プロファイルがガウス分布をとらず、最大値 H を示す領域が所定の幅を有するレーザー光についても、ピーク値 H に対して $1/2$ の強度に相当する領域における幅を半値幅 L_{21} とみなす。

このようなレーザー光(ラインビーム L_0)を用いてシリコン膜30をアニールするにあたって、本例では、図8(A)に示すように、ラインビーム L_0 の位置を固定しておき、基板20をステージ40によってY方向に向けて移動させることによってシリコン膜30の溶融結晶化を連続的に行う。この際に、ラインビームの照射領域 L_4 において、そのY方向のレーザー光強度プロファイルにおける半値幅 L_{21} が画素ピッチ P_Y よりも狭いので、ラインビーム L_0 がTFT10の形成予定領域A1を照射している間、レーザーアニール処理を行う必要のない領域B1には、実質的にはラインビーム L_0 が照射されない。

ここで、図8(B)に示すように、ラインビーム L_0 がデータドライバ部7の形成予定領域A2を照射するときには、ステージ40を低速で移動させ、ラインビーム L_0 がデータドライバ部7とTFT10の形成予定領域との間の領域B2を照射するときには、ステージ40を高速で移動させる。なお、データドライバ部7の形成予定領域A2と、TFT10の形成予定領域A1とでは、ステージ40を同じ速度で移動させることもある。そして、ラインビーム L_0 がTFT10の形成予定領域A1を照射するときには、ステージ40を低速で移動させ、ラインビームがTFT10の形成予定領域の間の領域B1を照射するときには、ステージ40を高速で移動させる。その結果、アモルファスのシリコン膜30のうち、ラインビーム L_0 が長い時間にわたって照射された領域のシリコン膜30のみが選択的に溶融結晶化し多結晶のシリコン膜となる。

このようにしてアニールすると、データドライバ部7の形成予定領域A2、およびアクティブマトリクス部9におけるTFT10の形成予定領域A1については、ラインビーム L_0 を選択的に、かつ繰り返し照射するので、データドライバ部7の形成予定領域A2、およびアクティブマトリクス部9におけるTFT10の形成予定領域A

1のシリコン膜30については高品質のポリシリコン膜を作製しつつスループットを上げる事ができる。特に、データドライバ部7においては、より動作速度の速いTFT10が求められることから、図8(B)に示すように、ラインビームL0がデータドライバ部7の形成予定領域A2を照射するときには、ステージ40をできるだけ低速で移動させるか、ラインビームL0がデータドライバ部7の形成予定領域A2を照射する回数を増やす。また、スループットを高めるために、特に高移動度のTFTが必要とされない画素領域においては、TFT10の形成予定領域A1に対して1回のレーザ照射のみを行ってもよい。

(シリコン膜のパターニング工程)

次に、図4(C)、図5(D)、図9に示すように、アニール工程を行なったシリコン膜30を、フォトリソグラフィ技術を用いてパターニングを行い、島状のシリコン膜31とする。ここで、シリコン膜30に対して行ったレーザアニール処理のアニールパターンと、このパターニング工程で用いるマスクパターンとのアライメントは、レーザアニール処理後のシリコン膜30の色相がレーザビームL0の照射度合いによって異なることを利用して行う。すなわち、レーザビームL0が照射されずアモルファスのままのシリコン膜30は、赤色であり、レーザビームL0が照射されて多結晶化したシリコン膜30は、黄色である。このため、赤色の領域と黄色の領域との境界部分を基準にして、シリコン膜30に対するアニールパターンと、このパターニングのためのマスクパターンとのアライメントを行う。予めY方向の画素ピッチPYと同等のピッチでレーザアニールを行っておけば、アライメント用のアニールパターンに対してマスクアライメントを行うことにより、ばらつきの少ない画素TFTを高いスループットで作成できる。

(ゲート絶縁膜の形成工程)

次に、図4(D)、図5(E)に示すように、例えばECR-PECVD法により250℃～300℃の温度条件下で、シリコン膜31に対して600から1200オングストロームのシリコン酸化膜からなるゲート酸化膜14を形成する。

(ゲート電極形成工程)

次に、ゲート酸化膜14の表面側に膜厚が3000から6000オングストロームのタンタル薄膜をスパッタ法により形成した後、それをフォトリソグラフィ技術を用

いてパターンニングし、ゲート電極 15 を形成する。

(不純物導入工程)

次に、バケット型質量非分離型のイオン注入装置（イオンドーピング装置）を用いて、ゲート電極 15 をマスクとしてシリコン膜 31 に不純物イオンを打ち込む。その結果、ゲート電極 15 に対してセルフアライン的にソース領域 11 およびドレイン領域 12 が形成される。このとき、シリコン膜 31 のうち、不純物イオンが打ち込まれなかった部分がチャネル領域 13 となる。ここでは、ソース・ドレイン領域は、ゲートをマスクとしてイオン打ち込みするセルフアライン型としているが、これに限るものではなく、例えばソース・ドレイン領域に低濃度領域を含む LDD 構造あるいは、ゲート電極を覆うマスクを利用してイオン打ち込みすることによりオフセット構造としてもよい。

なお、Pチャネル型の TFT を形成する場合には、原料ガスとして水素ガスで濃度が 5 % となるように希釈したジボラン (B_2H_6) を用いる。

(層間絶縁膜の形成工程)

次に、図 4 (E)、図 5 (F) に示すように、PECVD 法により $250^{\circ}\text{C} \sim 300^{\circ}\text{C}$ の温度条件下で、層間絶縁膜 16 としての膜厚が 5000 オングストロームのシリコン酸化膜を形成する。このときの原料ガスは、TEOS ($\text{Si}-(\text{O}-\text{CH}_2-\text{CH}_3)_4$) と酸素とである。基板温度は、 $250^{\circ}\text{C} \sim 300^{\circ}\text{C}$ である。

(活性化工程)

次に、酸素雰囲気下で 300°C 、1 時間の熱処理を行ない、注入したリンイオンの活性化と、層間絶縁膜 16 の改質とを行なう。

(配線工程)

次に、層間絶縁膜 16 にコンタクトホール 17、18 を形成する。しかる後に、コンタクトホール 17、18 を介して、ソース電極（データ線 3）をソース領域 11 に電氣的に接続し、ドレイン電極（画素電極 19）をドレイン領域 12 に電氣的に接続し、TFT 10 を形成する。

このように、本例のアクティブマトリクス基板の製造方法では、レーザアニール処理において、X 方向に並ぶ画素用の TFT 10 の形成予定領域 A1 に対して、レーザ

光の照射領域がX方向に長く、かつ、Y方向のレーザ光強度プロファイルにおける半値幅がY方向における画素ピッチよりも狭いラインビームL0を照射する。すなわち、このようなラインビームを重ねあわせながら照射する事によってポリシリコンの結晶性の周期を画素ピッチ以下にする事で均一性を上げる事が可能となる。また、レーザ照射領域をTFTが作製される領域のみにしぼることによってスループットを向上することができる。

また、本例では、図8(A)、(B)に示したように、基板20とラインビームL0とをY方向に相対移動させながらシリコン膜30の熔融結晶化を連続的に行うときに、ラインビームL0がTFT10またはデータドライバ部7の形成予定領域A1、A2を照射するときには、ステージ40を低速で移動させ、ラインビームL0がその他の領域を照射するときには、ステージ40を高速で移動させる。従って、無駄な領域に対するレーザ照射時間を削ることができるので、レーザアニール時間を短縮でき、スループットが向上する。

この場合に、アクティブマトリクス部9では、TFT10がX方向に直線的に並んでいるのに対し、データドライバ部7では、TFT10は、直線的に並んでいない。それでも、本例では、データドライバ部7に相当する全域にレーザアニール処理を行う。従って、多結晶化したシリコン膜30からデータドライバ部7のTFT10を製造できるので、データドライバ部7のTFT10も移動度が高い。また、アクティブマトリクス基板としてデータドライバ部あるいはデータドライバ部の一部を有するような場合にも、本例のレーザアニール処理を採用することができる。

また、TFT10のチャネル領域13は、チャネル長の方向がX方向となるように設定され、ラインビームの長手方向と一致している。このため、チャネル領域13では、ソース領域11からドレイン領域12に至る間に、アニール不足の部分が発生しにくい。それ故、TFT10の電気的特性が安定している。また、レーザアニール処理の後にパターニング工程を行うときに、パターニング工程では、チャネル長方向におけるアライメント精度を緩くしても、TFT10の電気的特性がばらつかず安定しているという利点もある。

さらに、レーザアニール処理の後にパターニング工程を行うので、レーザ光は、下地保護膜21に直接照射されない。従って、下地保護膜21が損傷することを防止す

ることができる。ここで、レーザアニール処理後のシリコン膜30の色相がレーザビームの照射度合いによって異なるため、その色相の違いによって、レーザアニール処理のアニールパターンを判別できる。それ故、レーザアニール処理のアニールパターンと、バタニング工程で用いるマスクパターンとのアライメントを行うのに支障がない。また、このようにしてアライメントを行うと、実際のアニールパターン通りにバタニングを行うことになるので、位置合わせ精度が高い。しかも、位置合わせ精度が高いことから、本例のようにY方向に整列しているチャネル領域13に対しては、レーザ光の照射領域がY方向に長いラインビームを照射し、チャネル領域だけをアニール化する製造方法を行えば、スループットをさらに向上することもできる。

図面の簡単な説明

図1(A)は、本発明の実施例に係る液晶表示装置のアクティブマトリクス基板を模式的に示す説明図、(B)は、その駆動回路に用いたCMOS回路の説明図である。図2はアクティブマトリクス基板上の画素領域を拡大して示す平面図である。図3(A)は、図2のI-I'線における断面図、(B)は、図2のII-II'線における断面図である。図4は本発明の実施例1において、図2のI-I'線における断面に対応するTFTの工程断面図である。図5は本発明の実施例1において、図2のII-II'線における断面に対応するTFTの工程断面図である。図6は本発明の実施例1において、シリコン膜のうち、レーザアニールする必要がある部分を模式的に示す説明図である。図7(A)は、本発明の実施例1において、アニール工程でレーザ光を照射する状態を模式的に示す説明図、(B)は、そのレーザ光のY方向における強度プロファイル、(C)は、別のレーザ光のY方向における強度プロファイルである。図8(A)は、本発明の実施例1において、アニール工程でレーザ光が選択的に照射される様子を模式的に示す説明図、(B)は、そのときの基板の移動速度を示す説明図である。図9は本発明の実施例1において、アニール工程の後にバタニングを行った状態を模式的に示す説明図である。図10は本発明の実施例2において、図2のI-I'線における断面に対応するTFTの工程断面図である。図11は本発明の実施例2において、図2のII-II'線における断面に対応するTFTの工程断面図である。図12は本発明の実施例2において、アニール工程でレーザ光を照射する状態を

模式的に示す説明図である。図13(A)は、本発明の実施例2において、アニール工程でレーザ光が選択的に照射される様子を模式的に示す説明図、(B)は、そのときの基板の移動速度を示す説明図である。図14は本発明の実施例3において、アニール工程でレーザ光が選択的に照射される様子を模式的に示す説明図である。図15は本発明の実施例4において、アニール工程でレーザ光の照射を利用してアライメントパターンを形成する様子を示す説明図である。図16は本発明の実施例5において、下地保護膜に形成したアライメントマークを示す説明図である。図17(A)～(C)は、本発明の実施例6において、レーザ光の照射領域と、急速加熱処理用のアークランプからの照射領域との位置関係を示す説明図である。

符号の説明

- 1・・・液晶表示装置
- 2・・・アクティブマトリクス基板
- 3・・・データ線
- 4・・・走査線
- 5・・・画素領域
- 6・・・液晶容量
- 7・・・データドライバ部
- 8・・・走査ドライバ部
- 9・・・アクティブマトリクス部
- 10・・・TFT
- 11・・・ソース領域
- 12・・・ドレイン領域
- 13・・・チャネル形成領域
- 14・・・ゲート絶縁膜
- 15・・・ゲート電極
- 50・・・ラインビームをスポット状にする光学系
- 60・・・アライメントパターンを形成するための光硬化性樹脂
- 61・・・アライメントマーク

70・・・ランプ

91・・・急速加熱処理用のアークランプ

L0・・・ラインビーム

L0B・・・スポット状のレーザビーム

A1、A11・・・アクティブマトリクス部におけるTFTの形成予定領域

A2、A12・・・データドライバ部の形成予定領域

B1、B2、B11、B12・・・レーザアニールを施す必要の無い部分

発明を実施するための最良の形態

(実施例1)

図面を参照して、本発明の実施例1に係るTFTの製造方法を説明する。

本例では、基板として、300mm角の無アルカリガラス板を用いて以下の各工程を行なう。

図4(A)、図5(A)において、まず、ECR-PECVD法により300℃の温度条件下で、基板20の表面に下地保護膜21となる膜厚が2000オングストロームのシリコン酸化膜を形成する。

次に、下地保護膜21の表面に真性のシリコン膜30(半導体膜)を500オングストローム堆積する。本例では、高真空型LPCVD装置を用いて、原料ガスであるジシラン(Si_2H_6)を200SCCM流しながら、425℃の堆積温度でアモルファスのシリコン膜30を堆積する。この高真空型LPCVD装置では、反応室内の内部に基板を配置し、反応室内の温度を、まず250℃に保持する。この状態で、ターボ分子ポンプの運転を開始し、定常回転に達した後、反応室内の温度を約1時間かけて、250℃から425℃の堆積温度にまで昇温する。この昇温を開始してから最初の10分間は、反応室にガスを全く導入せず、真空中で昇温を行ない、しかる後、純度が99.9999%以上の窒素ガスを300SCCM流し続ける。堆積温度に到達した後、原料ガスであるジシラン(Si_2H_6)を200SCCM流すと同時に、純度が99.9999%以上の希釈用ヘリウム(He)を1000SCCM流す。こうして約2から3時間で所望の膜厚のアモルファスシリコンを成膜する。

次に、図4(B)、図5(B)、(C)に示すように、アモルファスのシリコン膜

30にレーザ光を照射してシリコン膜30を多結晶シリコンに改質する。本例では、キセノン・クロライド(XeCl)のエキシマ・レーザ(波長が308nm)を照射する。照射レーザの整形は、レーザ光の照射領域L4がX方向に長く、かつ、Y方向の断面形状はガウシアン分布にちかい図7(B)となるようにおこなう。このとき図7(B)に示すように、シリコン膜30上におけるラインビームの照射領域L4において、そのY方向における位置を横軸とし、レーザ光の強度を縦軸として表したレーザ光強度プロファイルにおいて、半値幅L21(ピーク値Hに対して1/2の強度に相当する領域における幅)がY方向における画素ピッチPYよりも狭いラインビームを用いている。この工程において、レーザ照射は酸素雰囲気中にて室温で行なう。

レーザ結晶化シリコン膜の結晶性の空間分布は、画素ピッチPYより狭い半値幅L21のレーザ光を用いこのレーザ光を重ねあわせながら照射する事によって、画素ピッチPY以下の周期で結晶性分布を制御できる。これによって、TFTのばらつきを大きく低減することができる。例えば、本例の場合、画素ピッチが75 μ mの場合、レーザ光の半値幅が50 μ mあるいはそれ以下となるようなラインビームを用いる。

本例では、図6のアクティブマトリクス部9については、シリコン膜30のY方向のうち、TFT10の形成予定領域A1に相当する領域に対して選択的にレーザ光を照射し、TFT10の形成予定領域A1の間の領域B2には、レーザ光を積極的には照射しない。また、基板20上におけるアクティブマトリクス部9のY方向の側には、同じくTFT10を備えるデータドライバ部7が構成されることになっているが、データドライバ部7に対してはその全領域A2に対してレーザ光を照射する。なお、アクティブマトリクス部9とデータドライバ部7との間の領域B2にも、レーザ光を積極的には照射しない。

このようなレーザ光(ラインビームL0)を用いてシリコン膜30をアニールするにあたって、本例では、図8(A)に示すように、ラインビームL0の位置を固定しておき、基板20をステージ40によってY方向に向けて移動させることによってシリコン膜30の溶融結晶化を連続的に行う。この際に、ラインビームの照射領域L4において、そのY方向のレーザ光強度プロファイルにおける半値幅L21が画素ピッチPYよりも狭い、例えば画素ピッチPYが75 μ mに対して、半値幅L21が約50 μ m程度であるので、ラインビームL0がTFT10の形成予定領域A1を照射し

ている間、レーザアニール処理を行う必要のない領域B 1には、実質的にはラインビームL 0が照射されない。

ここで、図8 (B) に示すように、ラインビームL 0がデータドライバ部7の形成予定領域A 2を照射するときには、ステージ4 0を低速で移動させ、ラインビームL 0がデータドライバ部7とT F T 1 0の形成予定領域との間の領域B 2を照射するときには、ステージ4 0を高速で移動させる。そして、ラインビームL 0がT F T 1 0の形成予定領域A 1を照射するときには、ステージ4 0を低速で移動させ、ラインビームがT F T 1 0の形成予定領域の間の領域B 1を照射するときには、ステージ4 0を高速で移動させる。具体的には領域A 2では同一箇所にもしくは10回もしくは20回、領域A 1では5回もしくは10回のレーザ照射が行われるようにステージの移動速度をコントロールする。この場合、ラインビームのピーク値のエネルギー密度を $100 \sim 400 \text{ mJ/cm}^2$ 、好ましくは $200 \sim 300 \text{ mJ/cm}^2$ の場合、A 2の領域に対しては、 0.5 mm/sec のスピードで移動させて、10～20回のレーザ照射を行い、A 1の領域に対しては、 1 mm/sec のスピードで移動させて、5～10回のレーザ照射を行うことにより、画素のトランジスタの移動度を $25 \sim 45 \text{ cm}^2/\text{V} \cdot \text{sec}$ に、またデータドライバ部のトランジスタの移動度を約 $80 \sim 120 \text{ cm}^2/\text{V} \cdot \text{sec}$ に制御することが可能となる。また、B 2の領域に対しては、 1 cm/sec のスピードで移動させるとよい。これらの値は望まれるT F T特性に応じて前記範囲で変化させる。このようなレーザ照射を行う事によって、データドライバ部7の形成予定領域A 2、およびアクティブマトリクス部9におけるT F T 1 0の形成予定領域A 1については、ラインビームL 0を選択的に、かつ繰り返し短い周期で照射するので、均一なポリシリコン膜を作製しつつスループットを上げる事ができる。特に、データドライバ部7においては、照射回数が比較的多いため良質のポリシリコン膜を形成できる。

次に、図4 (C)、図5 (D)、図9に示すように、アニール工程を行なったシリコン膜3 0を、フォトリソグラフィ技術を用いてパターニングを行い、島状のシリコン膜3 1とする。ここで、シリコン膜3 0に対して行ったレーザアニール処理のアニールパターンと、このパターニング工程で用いるマスクパターンとのアライメントは、レーザアニール処理後のシリコン膜3 0の色相がレーザビームL 0の照射度合いに

よって異なることを利用して行う。

次に、図4 (D)、図5 (E) に示すように、ECR-PECVD法により300℃の温度条件下で、シリコン膜31に対して1200オングストロームのシリコン酸化膜からなるゲート酸化膜14を形成する。

次に、ゲート酸化膜14の表面側に膜厚が6000オングストロームのタンタル薄膜をスパッタ法により形成した後、それをフォトリソグラフィ技術を用いてパターンニングし、ゲート電極15を形成する。本例では、タンタル薄膜を形成する際に、基板温度を180℃に設定し、スパッタガスとして窒素ガスを6.7%含むアルゴンガスを用いる。このように形成したタンタル薄膜は、結晶構造が α 構造であり、その比抵抗が $40\mu\Omega\text{cm}$ である。なお、タンタル薄膜は、CVD法等によっても形成できる。

次に、バケット型質量非分離型のイオン注入装置（イオンドーピング装置）を用いて、ゲート電極15をマスクとしてシリコン膜31に不純物イオンを打ち込む。その結果、ゲート電極15に対してセルフアライン的にソース領域11およびドレイン領域12が形成される。このとき、シリコン膜31のうち、不純物イオンが打ち込まれなかった部分がチャネル領域13となる。本例では、原料ガスとして、濃度が5%になるように水素ガスで希釈したホスフィン (PH_3) を用い、加速電圧は、100keVである。イオンの全ドーズ量は、 $1 \times 10^{16}\text{cm}^{-2}$ である。

なお、Pチャネル型のTFTを形成する場合には、原料ガスとして水素ガスで濃度が5%となるように希釈したジボラン (B_2H_6) を用いる。

次に、図4 (E)、図5 (F) に示すように、PECVD法により300℃の温度条件下で、層間絶縁膜16としての膜厚が5000オングストロームのシリコン酸化膜を形成する。このときの原料ガスは、 $\text{TEOS}(\text{Si}-(\text{O}-\text{CH}_2-\text{CH}_3))_4$ と酸素とである。

次に、酸素雰囲気下で300℃、1時間の熱処理を行ない、注入したリンイオンの活性化と、層間絶縁膜16の改質とを行なう。

次に、層間絶縁膜16にコンタクトホール17、18を形成する。しかる後に、コンタクトホール17、18を介して、ソース電極（データ線3）をソース領域11に電氣的に接続し、ドレイン電極（画素電極19）をドレイン領域12に電氣的に接続し、TFT10を形成する。

(実施例2)

本例に係るTFTも、図1(A)に示す液晶表示装置のアクティブマトリクス基板において、画素用およびドライバ用のTFT10として用いられ、その構造は、図2、図3(A)、(B)に示すとおりである。従って、対応する部分については同じ符合を付して、それらの構造についての説明を省略し、TFT10の製造方法についてのみ、図10および図11を参照して説明する。

図10は、図2のI-I'線における断面に対応するTFTの工程断面図、図11は、そのII-II'線における断面に対応するTFTの工程断面図である。なお、データドライバ部におけるTFTも基本的には同一の構造を有するので、その図示を省略する。

本例でも、アクティブマトリクス基板2上に、データ線3および走査線4で区画形成された画素領域5には、画素用のTFT10が形成され、これらのTFT10は、アクティブマトリクス部9でX方向に一直線上に位置している。また、実施例1と同様、アクティブマトリクス部9に対してY方向の両方の側にデータドライバ部7が構成されている。

このようなアクティブマトリクス基板2において、TFT10を製造するのに本例では、アモルファスのシリコン膜をパターニングした後にアニール工程(レーザアニール処理)を行う点が実施例1と相違する。

図10(A)、図11(A)において、まず、ECR-PECVD法により300℃の温度条件下で、基板20の表面に下地保護膜21となる膜厚が2000オングストロームのシリコン酸化膜を形成する。

次に、下地保護膜21の表面に不純物がドーピングされていない真性のシリコン膜30(半導体膜)を600オングストローム程度堆積する。本例では、高真空型LPCVD装置を用いて、原料ガスであるジシラン(Si_2H_6)を200SCCM流しながら、425℃の堆積温度でアモルファスのシリコン膜30を堆積する。この高真空型LPCVD装置では、反応室の内部に基板を配置し、反応室内の温度を、まず250℃に保持する。この状態で、ターボ分子ポンプの運転を開始し、定常回転に達した後、反応室内の温度を約1時間かけて、250℃から425℃の堆積温度にまで昇温する。

この昇温を開始してから最初の10分間は、反応室にガスを全く導入せず、真空中で昇温を行ない、しかる後、純度が99.9999%以上の窒素ガスを300SCCM流し続ける。堆積温度に到達した後、原料ガスであるジシラン(Si_2H_6)を200SCCM流すとともに、純度が99.9999%以上の希釈用ヘリウム(He)を1000SCCM流す。

次に、図10(B)、図11(B)に示すように、シリコン膜30をフォトリソグラフィ技術を用いてパターニングし、島状のシリコン膜31とする。

次に、図10(C)、図11(C)、(D)に示すように、アモルファスのシリコン膜30にレーザ光を照射してシリコン膜30を多結晶シリコンに改質する。本例では、キセノン・クロライド(XeCl)のエキシマ・レーザ(波長が308nm)を照射する(レーザアニール処理/アニール工程)。この工程において、レーザ照射は、基板20を室温(25℃)とし、酸素ガス雰囲気中で行なう。

このアニール工程を行う際には、図12に示すように、ガラス基板20の全面に下地保護膜21が形成され、この下地保護膜21の表面には、パターニングされたシリコン膜31が形成されている。そこで、本例では、TFT10を形成するためにシリコン膜31が残っている部分(アクティブマトリクス部9においてシリコン膜31が残っている領域A11、およびデータドライバ部7においてシリコン膜31が残っている部分A12)のみに対しレーザ光を照射し、その他の部分B11、B12には、レーザ光を積極的に照射しない。

ここで、アクティブマトリクス部9においてTFT10を形成するためのシリコン膜31は、X方向においてTFT10が一直線上に配列されているが、データドライバ部7では、狭い領域内に多数のTFT10を配置するという観点から、アクティブマトリクス領域9と相違して、シリコン膜31は、X方向に一直線に配列されていない。従って、データドライバ部7に対しては、シリコン膜31に対して選択的にレーザ光を照射することができないので、データドライバ部7に対しては、その全領域A12に対してレーザ光を照射する。

また、本例では、図7(A)、(B)、(C)を参照して説明したように、レーザ光の照射領域L4がX方向に長く、かつ、Y方向のレーザ光強度プロファイルにおける半値幅がY方向における画素ピッチよりも狭いラインビームL0をシリコン膜3

1に照射する。

このようなレーザ光（ラインビームL0）を用いてシリコン膜30をアニールするにあたって、本例でも、図13（A）に示すように、ラインビームL0の位置を固定しておき、基板20をステージ40によってY方向に向けて移動させることによってシリコン膜31の溶融結晶化を連続的に行う。この場合には、図13（B）に示すように、ラインビームL0がデータドライバ部7の形成予定領域A12を照射するときには、ステージ40を低速で移動させ、ラインビームL0がデータドライバ部7とTFT10の形成予定領域との間の領域B12を照射するときには、ステージ40を高速で移動させる。そして、ラインビームL0がTFT10の形成予定領域A11を照射するときには、ステージ40を低速で移動させ、ラインビームがTFT10の形成予定領域の間の領域B11を照射するときには、ステージ40を高速で移動させる。その結果、アモルファスのシリコン膜31を多結晶化するのに必要な部分だけがレーザアニールされる。

ここで、データドライバ部7の形成予定領域A12、およびアクティブマトリクス部9におけるTFT10の形成予定領域A11については、ラインビームL0を選択的に、かつ繰り返し照射するので、データドライバ部7の形成予定領域A12、およびアクティブマトリクス部9におけるTFT10の形成予定領域A11のシリコン膜31については、結晶化の度合いが高い。特に、データドライバ部7においては、より動作速度の速いTFT10が求められることから、図13（B）に示すように、ラインビームL0がデータドライバ部7の形成予定領域A12を照射するときには、ステージ40をできるだけ低速で移動させるか、ラインビームL0がデータドライバ部7の形成予定領域A12を照射する回数を増やす。

次に、図10（D）、図11（E）に示すように、ECR-PECVD法により250℃～300℃の温度条件下で、シリコン膜31に対して1200オングストロームのシリコン酸化膜からなるゲート酸化膜14を形成する。

次に、ゲート酸化膜14の表面側に膜厚が6000オングストロームのタンタル薄膜をスパッタ法により形成した後、それをフォトリソグラフィ技術を用いてパターンニングし、ゲート電極15を形成する。本例では、タンタル薄膜を形成する際に、基板温度を180℃に設定し、スパッタガスとして窒素ガスを6.7%含むアルゴンガス

を用いる。このように形成したタンタル薄膜は、結晶構造が α 構造であり、その比抵抗が $40\ \mu\Omega\text{cm}$ である。

次に、バケット型質量非分離型のイオン注入装置（イオンドーピング装置）を用いて、ゲート電極15をマスクとしてシリコン膜31に不純物イオンを打ち込む。その結果、ゲート電極15に対してセルフアライン的にソース領域11およびドレイン領域12が形成される。このとき、シリコン膜31のうち、不純物イオンが打ち込まれなかった部分がチャネル領域13となる。本例では、原料ガスとして、濃度が5%になるように水素ガスで希釈したホスフィン（ PH_3 ）を用い、加速電圧は、 100keV である。イオンの全ドーズ量は、 $1 \times 10^{16}\text{cm}^{-2}$ である。

なお、Pチャネル型のTFTを形成する場合には、原料ガスとして水素ガスで濃度が5%となるように希釈したジボラン（ B_2H_6 ）を用いる。

次に、図10（E）、図11（F）に示すように、PECVD法により $250^\circ\text{C} \sim 300^\circ\text{C}$ の温度条件下で、層間絶縁膜16としての膜厚が 5000\AA のシリコン酸化膜を形成する。このときの原料ガスは、 $\text{TEOS}(\text{Si}-(\text{O}-\text{CH}_2-\text{CH}_3)_4)$ と酸素とである。基板温度は、 300°C である。

次に、酸素雰囲気下で 300°C 、1時間の熱処理を行ない、注入したリンイオンの活性化と、層間絶縁膜16の改質とを行なう。

次に、層間絶縁膜16にコンタクトホール17、18を形成する。しかる後に、コンタクトホール17、18を介して、ソース電極（データ線3）をソース領域11に電氣的に接続し、ドレイン電極（画素電極19）をドレイン領域12に電氣的に接続し、TFT10を形成する。

このように、本例のアクティブマトリクス基板の製造方法では、レーザアニール処理において、X方向に並ぶ画素用のTFT10の形成予定領域A11に対して、レーザ光の照射領域がX方向に長く、かつ、Y方向のレーザ光強度プロファイルにおける半値幅がY方向における画素ピッチよりも狭いラインビームL0を照射する。すなわち、シリコン膜31が残っている部分にだけレーザ光を集中して照射しているので、この部分におけるレーザ光強度が高い。また、予めパターニングされたシリコン膜31に対してラインビームL0をアライメントしていくので、スループットを向上することができる。

また、本例では、図13(A)、(B)に示したように、基板20とラインビームL0とをY方向に相対移動させながらシリコン膜31の溶融結晶化を連続的に行うときに、ラインビームL0がTFT10またはデータドライバ部7の形成予定領域A11、A12を照射するときにステージ40を低速で移動させ、ラインビームL0がその他の領域を照射するときには、ステージ40を高速で移動させる。従って、無駄な領域に対するレーザ照射時間を削ることができるので、レーザアニール時間を短縮でき、スループットが向上する。

この場合に、アクティブマトリクス部9では、TFT10がX方向に直線的に並んでいるのに対し、データドライバ部7では、TFT10は、直線的に並んでいない。それでも、本例では、データドライバ部7に相当する全域にレーザアニール処理を行う。従って、多結晶化したシリコン膜31からデータドライバ部7のTFT10を製造できるので、データドライバ部7のTFT10も移動度が高い。

また、TFT10のチャネル領域13は、チャネル長の方向がX方向となるように設定され、ラインビームの長手方向と一致している。このため、チャネル領域13では、ソース領域11からドレイン領域12に至る間に、アニール不足の部分が発生しにくい。それ故、TFT10の電気的特性が安定している。

[実施例3]

なお、実施例1では、基板20の表面に形成したシリコン膜30のうち、Y方向については、レーザアニール処理を選択的に行ったが、X方向については、後にパターンニングによって除去される部分もラインビームを照射している。そこで、本例では、X方向においても無駄な部分へのラインビームの照射を省くようにしてある。なお、その他の工程については、実施例1と同様であるため、レーザアニール工程についてのみ、以下に説明する。

本例では、図14に示すように、レーザ光の照射経路の途中位置には、基板20のX方向のうち、アクティブマトリクス部9のTFT10の形成予定領域のみを選択的にレーザ光を照射するように、ラインビームL0をスポット状のビームL0Bとする光学系50を配置してある。かかる光学系50としては、回折格子やマイクロレンズを用いることができる。ここで、スポット状のビームL0Bの照射領域は、アクティブマトリクス部9におけるTFT10のX方向の形成ピッチに合わせて設定される。

このようにしてレーザアニール処理を行うと、アクティブマトリクス部 9 については、シリコン膜 30 の Y 方向のうち、T F T 10 の形成予定領域 A 1 に相当する領域に対して選択的にレーザ光を照射し、T F T 10 の形成予定領域 A 1 の間 B 2 には、レーザ光を積極的には照射しない。すなわち、Y 方向において無駄な部分へのレーザ光を照射を省くことができる。また、X 方向においても、T F T 10 の形成予定領域（点線 L 1 で示す領域）のみを選択的にレーザ光を照射を照射することができ、無駄な領域へのレーザ光の照射を省くことができる。従って、実際にアニール処理が必要な部分にレーザ光を集中させるため、レーザ光が照射された領域では、レーザ光強度が高い。それ故、シリコン膜 30 を短時間で熔融結晶化できるので、スループットを向上することができる。

ここで、アクティブマトリクス部 9 では、T F T 10 が X 方向および Y 方向のいずれの方向においても直線的に並んでいるのに対し、データドライバ部 7 では、T F T 10 は、直線的に並んでいない。従って、データドライバ部 7 に相当する領域にレーザアニール処理を行う場合には、光学系 50 を外して、データドライバ部 7 に相当する領域全面にレーザアニール処理を行う。

なお、本例では、バターニング前のシリコン膜 30 に対して、スポット状のレーザ光を照射したが、それに代えて、実施例 2 のように、バターニング後のシリコン膜 31 に対して、スポット状のレーザ光を照射してもよい。

[実施例 4]

実施例 1 ないし 3 において、基板 20 の表面に形成したシリコン膜 30、またはバターニングしたシリコン膜 31 に対してレーザ光を照射することを利用して、ガラス基板 20 の表面に下地保護膜 21 を形成した後、図 15 に示すように、たとえば、ガラス基板 20 の Y 方向側の縁部分 29 に沿って所定の領域に光硬化性樹脂 60 を塗布しておき、レーザアニール処理では、この光硬化性樹脂 60 にもレーザ光（ラインビーム L 0）を照射することによって、それを硬化させ、この樹脂層を、以降の工程において行うマスクとのアライメント用パターンとして用いることができる。このようにしてアライメントパターンを形成すると、特に、レーザアニール処理の後にバターニング工程を行う場合には通常のアライメント機構を用いることもできる。

[実施例 5]

実施例1ないし3において、アラインメントを行う方法としては、基板20の表面に形成したシリコン膜30に形成したアライメントマーク、または、図16に示すように、ガラス基板20の表面に形成した下地保護膜21に付したアライメントマーク61を利用してもよい。

【実施例6】

また、実施例1ないし5では、アニール工程としてレーザアニール処理のみを行っているが、急速加熱処理(RTA: rapid thermal anneal)を併用してもよい。この場合には、レーザアニール処理を行う前または／およびレーザアニール処理を行った後に、別の装置内で急速加熱処理を行ってよいが、図17(A)～(C)に示すように、レーザアニール装置内に、急速加熱処理を行うためのアークランプ91、およびリフレクタ92等の光学装置を配置することによって、レーザアニール処理と急速加熱処理とを並行して行ってもよい。

これらのアニール方法のうち、図17(A)に示す方法では、ガラス基板20の進行方向(矢印Y0で示す方向)のうち、ラインビームL0による照射領域のわずかに下流側に、急速加熱処理用のアークランプ91の照射領域を設定する。このように配置すると、シリコン膜30からみると、レーザアニール処理を行った以降、続いて急速加熱処理が施されることになる。従って、レーザアニール処理後に、各シリコン原子が格子点からわずかにずれている場合に、かかる微小なずれは、その後に行われる急速加熱処理によって補正される。すなわち、シリコン膜30の結晶化の際に生じたストレスを開放することになって結晶の完全性が高まる。併せて、結晶粒と結晶粒との間にわずかに存在する非晶質部分を結晶化する。従って、シリコン膜30の結晶化率が高まる。また、微小結晶は、再結晶化して大きな結晶に成長し、結晶粒界を減少せしめる。それ故、本例によれば、非エピタキシー成長法によって基板20上に結晶性のシリコン膜30を形成する方法でありながら、良質のシリコン膜30を得ることができる。さらに、急速加熱処理では、秒オーダーで熱せられるだけであるため、レーザアニール処理よりも処理速度が速い。それ故、急速加熱処理を併用しても、レーザアニールの処理速度を遅くする必要がない。

また、図17(B)に示す方法では、ガラス基板20の進行方向(矢印Y0で示す方向)のうち、ラインビームL0による照射領域のわずかに上流側に、急速加熱処理用

のアークランプ 91 の照射領域を設定する。このように配置すると、シリコン膜 30 からみると、急速加熱処理を行った以降、続いて、レーザアニール処理が施されることになる。従って、急速加熱処理による熔融結晶化の効果に加えて、大がかりな別個の予備加熱装置を設けなくても、シリコン膜 30 を均一に加熱した状態でレーザアニール処理を行うことができるという利点がある。

同様に、図 17 (C) に示す方法では、ラインビーム L0 による照射領域に重ねて、急速加熱処理用のアークランプ 91 の照射領域を設定する。このように配置すると、シリコン膜 30 からみると、急速加熱処理と、レーザアニール処理とが同時に施されることになる。従って、急速加熱処理による熔融結晶化の効果に加えて、シリコン膜 30 を均一に加熱した状態でレーザアニール処理を行うことができるという利点がある。

また、上記実施例のいずれにおいても、走査線駆動回路のレーザアニール処理は、データ線及び画素用薄膜トランジスタのアニール工程に対して、基板を 90 度回転させた状態でレーザアニール処理を行えば、スループットを高めながら、駆動回路を構成する TFT の移動度を高めることができる。

以上説明したように、本発明に係る液晶表示装置のアクティブマトリクス基板では、画素用薄膜トランジスタが略同一線上に並ぶ方向を X 方向とし、それに直交する方向を Y 方向としたときに、半導体膜を熔融結晶化するためのアニール工程では、レーザ光の照射領域が X 方向に長く、かつ、Y 方向のレーザ光強度プロファイルにおける半値幅が Y 方向における画素ピッチよりも狭いラインビームを用いることに特徴を有する。従って、本発明によれば、必要な部分に集中してレーザ光を照射しているので、この部分におけるレーザ光強度が高い。それ故、半導体膜を短時間で熔融結晶化できるので、スループットを向上することができる。

基板とラインビームとを Y 方向に向けて相対的に移動させることによって熔融結晶化を連続的に行うとともに、半導体膜の Y 方向のうち、画素用薄膜トランジスタの形成予定領域に相当する領域に対して選択的にラインビームを照射した場合には、無駄な領域に対するレーザ照射時間を削ることができるので、レーザアニール時間を短縮でき、スループットが向上する。

レーザアニール処理をパターニング工程の前に行う場合には、下地保護膜にレーザ光が直接照射されないため、下地保護膜の損傷を防止できる。この場合には、レーザアニール処理のアニールパターンと、パターニング工程で用いるマスクパターンとのアライメントは、半導体膜の色相がラインビームの照射度合いによって異なることを利用して行うことができ、その結果、実際のアニールパターン通りにパターニングを行うことになる。それ故、TFT特性のばらつきを抑えることができると同時に、チャンネル領域だけを結晶化してスループットをさらに向上することも可能となる。

基板の所定位置に光硬化性樹脂を塗布しておき、レーザアニール処理において光硬化性樹脂にもレーザ光を照射し、該光硬化性樹脂を硬化させれば、アライメントパターンを自動的に形成することができるので、特に、レーザアニール処理の後にパターニング工程を行う場合には通常のアライメント機構を用いることもできる。

画素用薄膜トランジスタをチャンネル長の方向がX方向となるように形成した場合には、チャンネル長方向にアニール不足の部分が発生しにくいので、TFTの電気的特性が安定する。

同一基板上にアクティブマトリクス部とともに駆動回路が構成されている場合には、該駆動回路形成領域全体をアニールすることによって、駆動回路においてTFTが整列していなくても、TFTを構成する半導体膜を漏れなく結晶化できる。

半導体膜のX方向のうち画素用薄膜トランジスタの形成領域を選択的に照射するスポット状のビームとする光学系を配置した場合には、X方向においても無駄な部分にレーザ光を照射することがなく、その分だけ、必要な領域へのレーザ光強度を高くすることができる。

アニール工程において、レーザアニール処理とともに急速加熱処理を行う場合には、それぞれ単独の効果に加えて、予備加熱としての効果や結晶化を促進する効果を得ることができる。

図18は上述の実施例のアクティブマトリクス基板を適用した液晶表示装置の断面構成を示す。図18に示すように、アクティブマトリクス基板2は、その表面側に、対向電極電位が印加される透明導電膜(ITO)からなる対向電極81を有する入射側のガラス基板80が適当な間隔において配置され、周囲をシール材82で封止された間隙内にTN(Twisted Nematic)型液晶83等が充填されて液晶表示装置として構

成されている。なお、パッド領域85は前記シール材82の外側に来るようにシール材を設ける位置が設計されている。周辺回路84の上方は例えば対向基板に設けられるブラックマトリックス等により遮光されるように構成されている。

さらに上述の液晶表示装置を用いた電子機器は、図19に示す表示情報出力源1000、表示情報処理回路1002、表示駆動回路1004、液晶パネルなどの表示パネル1006、クロック発生回路1008及び電源回路1010を含んで構成される。表示情報出力源1000は、ROM、RAMなどのメモリ、テレビ信号を同調して出力する同調回路などを含んで構成され、クロック発生回路1008からのクロックに基づいて、ビデオ信号などの表示情報を出力する。表示情報処理回路1002は、クロック発生回路1008からのクロックに基づいて表示情報を処理して出力する。この表示情報処理回路1002は、例えば増幅・極性反転回路、相展開回路、ローテーション回路、ガンマ補正回路あるいはクランプ回路等を含むことができる。表示駆動回路1004は、走査側駆動回路及びデータ側駆動回路を含んで構成され、液晶パネル1006を表示駆動する。電源回路1010は、上述の各回路に電力を供給する。

このような構成の電子機器として、図20に示す液晶プロジェクタ、図21に示すマルチメディア対応のパーソナルコンピュータ(PC)及びエンジニアリング・ワークステーション(EWS)、図22に示すページャ、あるいは携帯電話、ワードプロセッサ、テレビ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、電子手帳、電子卓上計算機、カーナビゲーション装置、POS端末、タッチパネルを備えた装置などを挙げることができる。

図20に示す液晶プロジェクタは、透過型液晶パネルをライトバルブとして用いた投写型プロジェクタであり、例えば3板プリズム方式の光学系を用いている。図21において、プロジェクタ1100では、白色光源のランプユニット1102から射出された投写光がライトガイド1104の内部で、複数のミラー1106および2枚のダイクロイックミラー1108によってR、G、Bの3原色に分けられ、それぞれの色の画像を表示する3枚の液晶パネル1110R、1110Gおよび1110Bに導かれる。そして、それぞれの液晶パネル1110R、1110Gおよび1110Bによって変調された光は、ダイクロイックプリズム1112に3方向から入射される。ダイクロイックプリズム1112では、レッドRおよびブルーBの光が90°曲げら

れ、グリーンGの光が直進するので各色の画像が合成され、投写レンズ1114を通してスクリーンなどにカラー画像が投写される。

図21に示すパーソナルコンピュータ1200は、キーボード1202を備えた本体部1204と、液晶表示画面1206とを有する。

図22に示すページャ1300は、金属製フレーム1302内に、液晶表示基板1304、バックライト1306aを備えたライトガイド1306、回路基板1308、第1、第2のシールド板1310、1312、2つの弾性導電体1314、1316、及びフィルムキャリアテープ1318を有する。2つの弾性導電体1314、1316及びフィルムキャリアテープ1318は、液晶表示基板1304と回路基板1308とを接続するものである。

ここで、液晶表示基板1304は、2枚の透明基板1304a、1304bの間に液晶を封入したもので、これにより少なくともドットマトリクス型の液晶表示パネルが構成される。一方の透明基板に、図20に示す駆動回路1004、あるいはこれに加えて表示情報処理回路1002を形成することができる。液晶表示基板1304に搭載されない回路は、液晶表示基板の外付け回路とされ、図23の場合には回路基板1308に搭載できる。

図22はページャの構成を示すものであるから、液晶表示基板1304以外に回路基板1308が必要となるが、電子機器用の一部品として液晶表示装置が使用される場合であって、透明基板に表示駆動回路などが搭載される場合には、その液晶表示装置の最小単位は液晶表示基板1304である。あるいは、液晶表示基板1304を筐体としての金属フレーム1302に固定したものを、電子機器用の一部品である液晶表示装置として使用することもできる。さらに、バックライト式の場合には、金属製フレーム1302内に、液晶表示基板1304と、バックライト1306aを備えたライトガイド1306とを組み込んで、液晶表示装置を構成することができる。これらに代えて、図23に示すように、液晶表示基板1304を構成する2枚の透明基板1304a、1304bの一方に、金属の導電膜が形成されたポリイミドテープ1322にICチップ1324を実装したTCP (Tape Carrier Package) 1320を接続して、電子機器用の一部品である液晶表示装置として使用することもできる。

なお、本発明は上記実施例に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。例えば、本発明は上述の各種の液晶パネルの駆動に適用されるものに限らず、エレクトロルミネッセンス、プラズマディスプレイ装置にも適用可能である。

産業上の利用可能性

以上のように、本発明の結晶性半導体膜の形成方法、及びそれを用いた薄膜トランジスタや太陽電池などの薄膜半導体装置の製造方法によると、安価なガラス基板の使用が可能である低温プロセスを用いて高性能な薄膜半導体装置を製造することができる。従って本発明をアクティブ・マトリックス液晶表示装置の製造に適用した場合には、大型で高品質な液晶表示装置を容易にかつ安定的に製造する事が出来、太陽電池に利用した場合には変換効率の高い太陽電池が作成される。又、他の電子回路の製造に適用した場合にも高品質な電子回路を容易にかつ安定的に製造することができる。

本発明の薄膜トランジスタ装置は安価でかつ高性能で有るが故、アクティブ・マトリックス液晶表示装置のアクティブマトリクス基板として最適な物と成って居る。特に高い性能を要求されるドライバ内蔵のアクティブマトリクス基板として最適なものとなっている。

本発明の液晶表示装置は安価で且つ高性能で有る為、フルカラーのノートPCをはじめ、各種ディスプレイとして最適な物と成って居る。

本発明の電子機器は安価でかつ高性能で有る為、一般に広く受け入れられるであろう。

請求の範囲

1. 基板上形成された複数の走査線および該複数の走査線に交差するように形成された複数のデータ線と、該データ線および前記走査線によって区画された複数の画素領域のそれぞれに対応して形成された画素電極および画素用薄膜トランジスタとを有するアクティブマトリクス基板の製造方法において、

前記画素用薄膜トランジスタが略同一線上に並ぶ方向をX方向とし、それに交差する方向をY方向としたときに、前記基板の表面に前記画素用薄膜トランジスタを形成するための半導体膜を形成した後、該半導体膜を溶融結晶化するためのアニール工程では、レーザ光の照射領域がX方向に長く、かつ、Y方向のレーザ光強度プロファイルにおける半値幅がY方向における画素ピッチよりも狭いラインビームを前記半導体膜に照射するレーザアニール処理を行うことを特徴とするアクティブマトリクス基板の製造方法。

2. 前記レーザアニール処理では、前記基板と前記ラインビームとをY方向に向けて相対的に移動させることによって前記半導体膜の溶融結晶化を連続的に行うとともに、該半導体膜のY方向のうち、前記画素用薄膜トランジスタの形成予定領域に相当する領域に対して選択的に前記ラインビームを照射することを特徴とする請求の範囲第1項記載のアクティブマトリクスの製造方法。

3. 前記レーザアニール処理では、前記半導体膜のY方向のうち、前記画素用薄膜トランジスタの形成予定領域に相当する領域に対して選択的に、かつ、繰り返し前記ラインビームを照射することを特徴とする請求の範囲第2項記載のアクティブマトリクスの製造方法。

4. 請求項1ないし3のいずれかの項において、前記レーザアニール処理は、前記半導体膜をパターンニングするパターンニング工程の前に行うことを特徴とするアクティブマトリクスの製造方法。

5. 前記レーザアニール処理のアニールパターンと、前記パターニング工程で用いるマスクパターンとのアライメントは、前記レーザアニール処理後の前記半導体膜の色相がラインビームの照射度合いによって異なることを利用して行うことを特徴とする請求の範囲第1項ないし3項記載のアクティブマトリクス基板の製造方法。

6. 前記半導体膜に対する前記レーザアニール処理のアニールパターンと、前記パターニング工程で用いるマスクパターンとのアライメントは、前記半導体膜の下層側に形成した下地保護膜に付したアライメントマークを利用して行うことを特徴とする請求の範囲第4項記載のアクティブマトリクス基板の製造方法。

7. 前記レーザアニール処理は、前記半導体膜をパターニングする前記パターニング工程の後に行うことを特徴とする請求の範囲第1項ないし第3項記載のアクティブマトリクスの製造方法。

8. 前記レーザアニール処理に先立って、前記基板の所定位置に光硬化性樹脂を塗布しておき、前記レーザアニール処理において前記光硬化性樹脂にもレーザ光を照射し、該光硬化性樹脂を硬化させることによって、以降に用いるマスクと前記基板との位置合わせに用いるアライメントパターンを形成することを特徴とする請求の範囲第1項ないし第7項記載のアクティブマトリクスの製造方法。

9. 前記画素用薄膜トランジスタは、チャネル長の方向がX方向となるように形成することを特徴とする請求の範囲第1項ないし第8項記載のアクティブマトリクス基板の製造方法。

10. 前記基板上には、前記画素領域が形成されているアクティブマトリクス部のY方向の側に、駆動回路用薄膜トランジスタを備える駆動回路が構成され、前記レーザアニール処理では、該駆動回路形成予定領域全体をアニールすることを特徴とする請求の範囲第1項ないし第9項記載のアクティブマトリクス基板の製造方法。

11. 前記レーザアニール処理では、前記基板と前記ラインビームとをY方向に向けて相対的に移動させるときの移動速度を変えることによって前記半導体膜の所定領域を選択的にアニールすることを特徴とする請求の範囲第10項記載のアクティブマトリクス基板の製造方法。

12. 前記レーザアニール処理では、前記基板と前記ラインビームとをY方向に向けて相対的に移動させるときの移動速度を、前記ラインビームが前記駆動回路形成予定領域を照射するときには該ラインビームが前記画素用薄膜トランジスタの形成予定領域を照射するときより低くすることを特徴とする請求の範囲第11項記載のアクティブマトリクス基板の製造方法。

13. 前記レーザ光の照射経路の途中位置に、前記ラインビームを前記半導体膜のX方向のうち前記画素用薄膜トランジスタの形成予定領域を選択的に照射するスポット状のビームとする光学系を配置した状態で前記レーザアニール処理を行うことを特徴とする請求の範囲第1項ないし第10項記載のアクティブマトリクスの製造方法。

14. 前記アニール工程では、前記半導体膜に対して前記レーザアニール処理を行った以降、該半導体膜に対して急速加熱処理を行うことを特徴とする請求の範囲第1項ないし第13項記載のアクティブマトリクス基板の製造方法。

15. 前記アニール工程では、前記半導体膜に対して急速加熱処理を行った後に、該半導体膜に対して前記レーザアニール処理を行うことを特徴とする請求の範囲第1項ないし第13項記載のアクティブマトリクス基板の製造方法。

16. 前記アニール工程では、前記レーザアニール処理を行うためのレーザ光を照射している前記基板に急速加熱処理を行うための光ビームも同時に照射することを特徴とする請求の範囲第14項または第15項記載のアクティブマトリクス基板の製造方法。

17. 前記アニール工程では、前記レーザアニール処理を行うためのレーザ光を照射している領域を含む領域に対し、急速加熱処理を行うための光ビームも同時に照射することを特徴とする請求の範囲第1項ないし第13項記載のアクティブマトリクス基板の製造方法。

18. 請求の範囲第1項ないし第17項のいずれかの項に規定する製造方法によって製造されたことを特徴とするアクティブマトリクス基板。

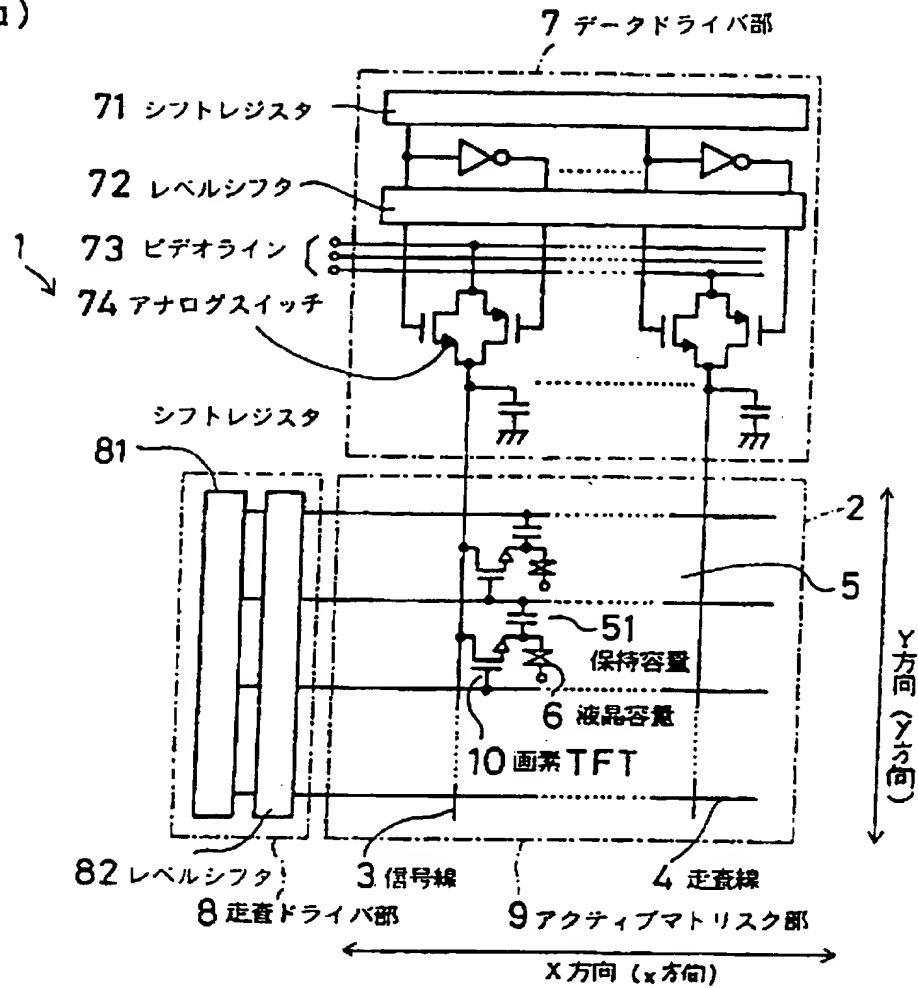
19. 請求の範囲第18項に規定するアクティブマトリクス基板を備えることを特徴とする液晶表示装置。

20. 請求の範囲第18項に規定するアクティブマトリクス基板を備えることを特徴とする電子機器。

1/2 3

図 1

(a)



(b)

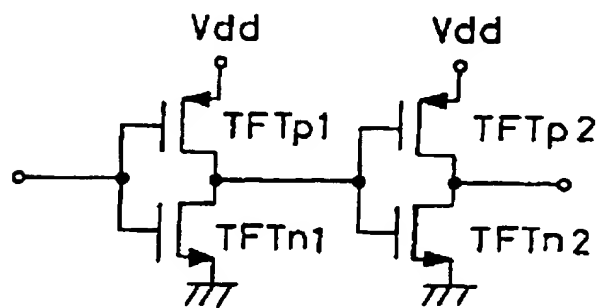


図 2

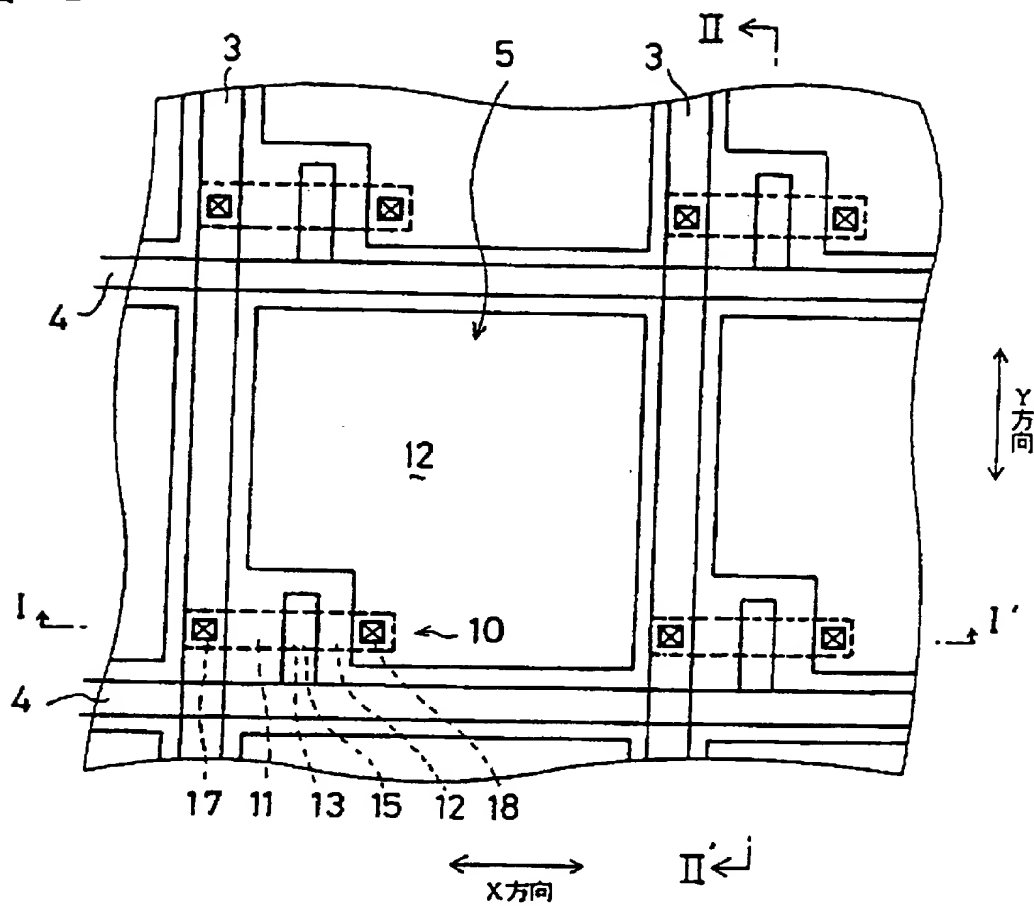
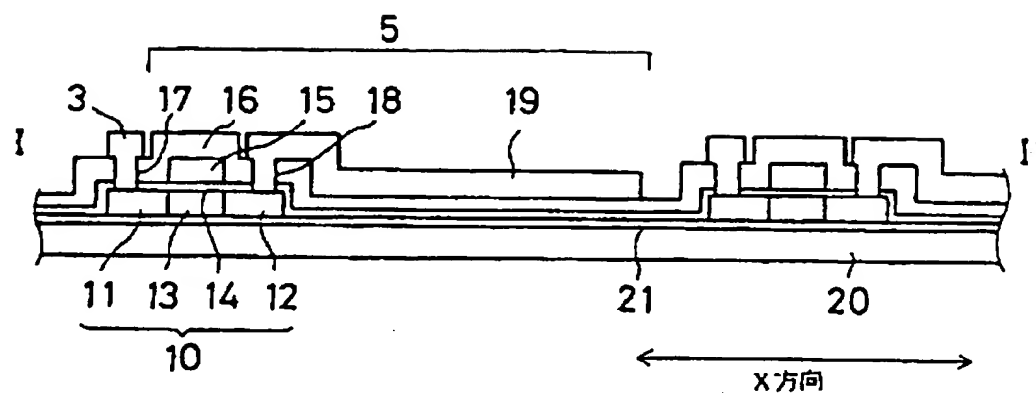
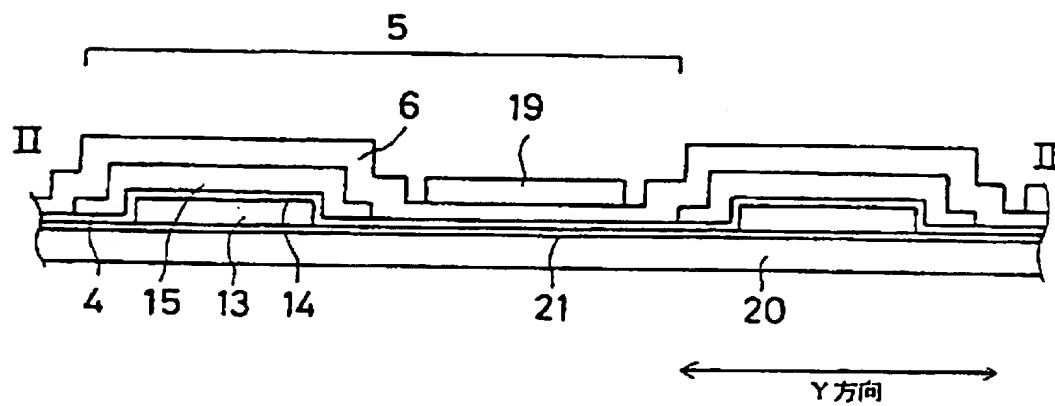


図 3

(A)



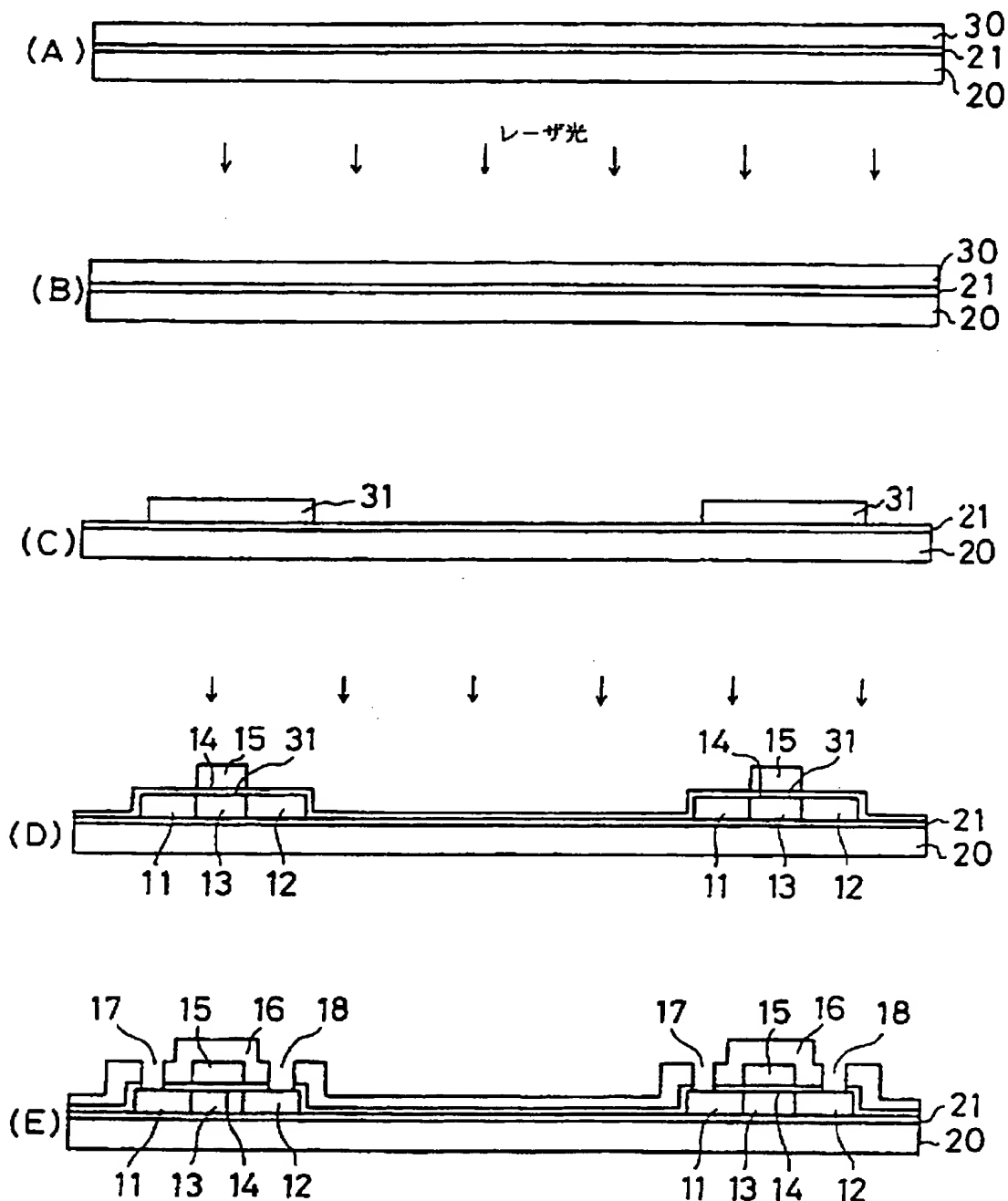
(B)



4/23

図 4

X方向



5/23

図 5

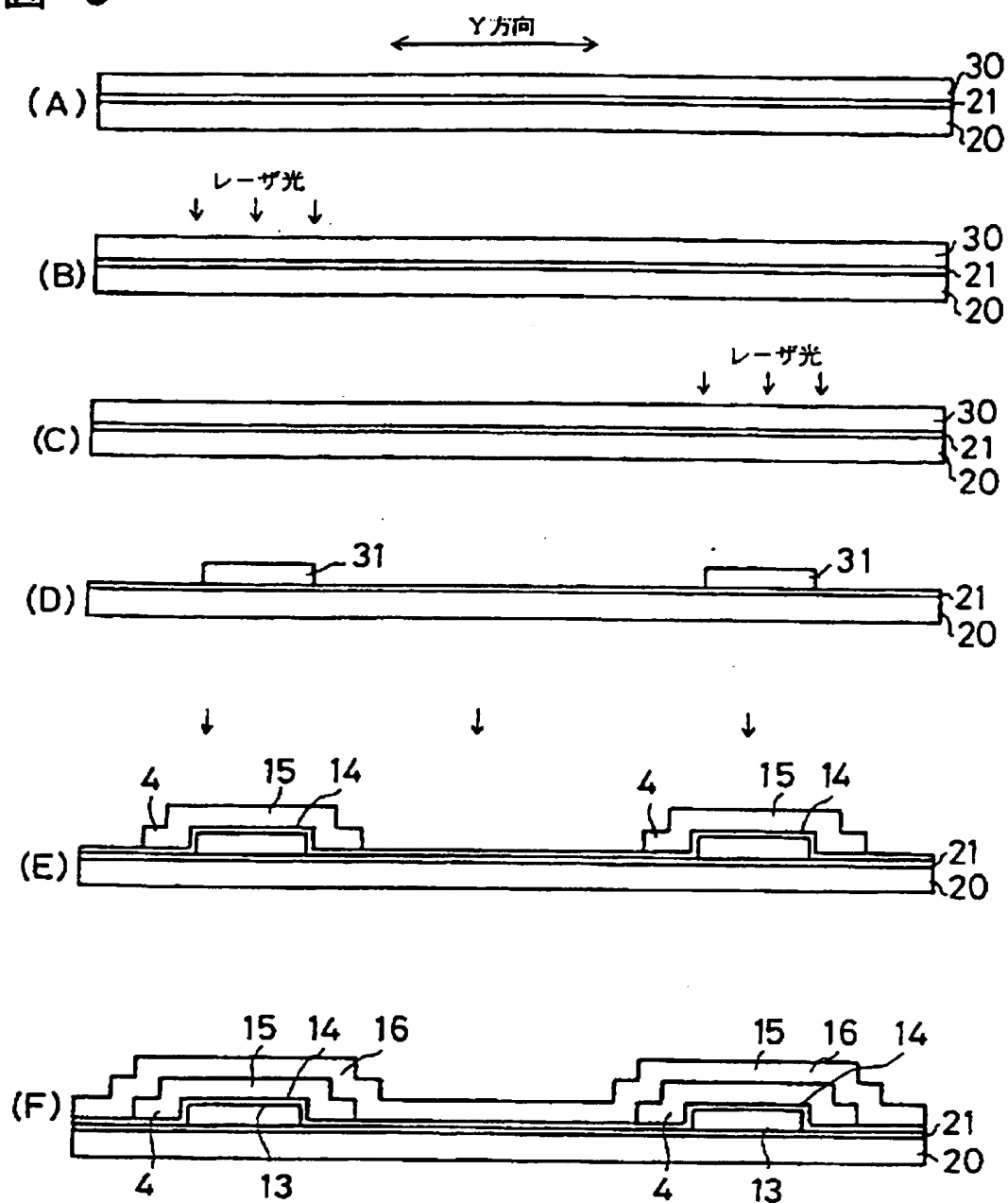


図 6

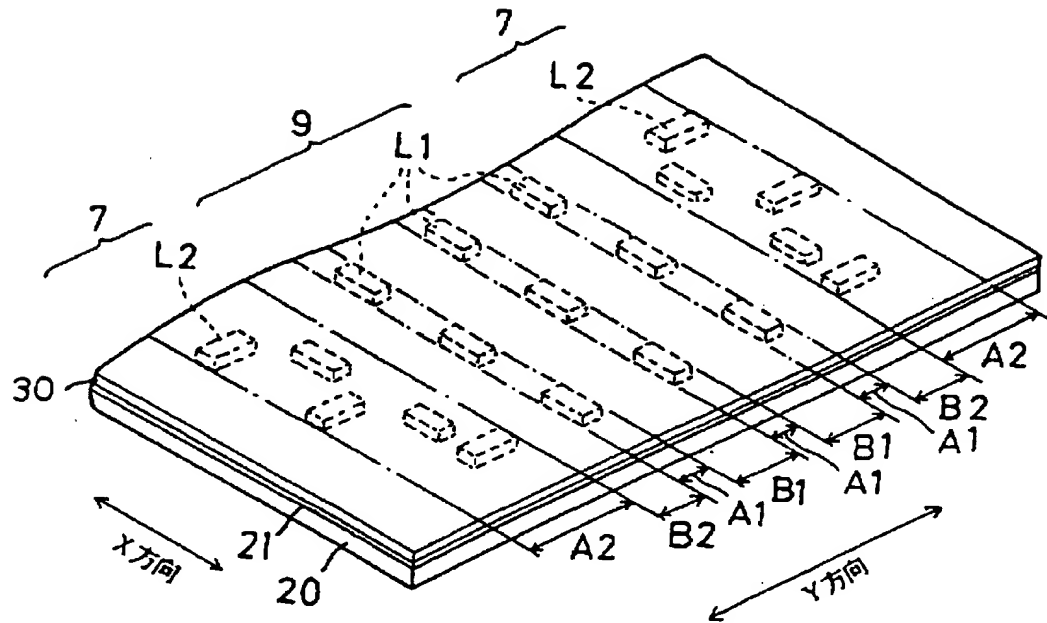
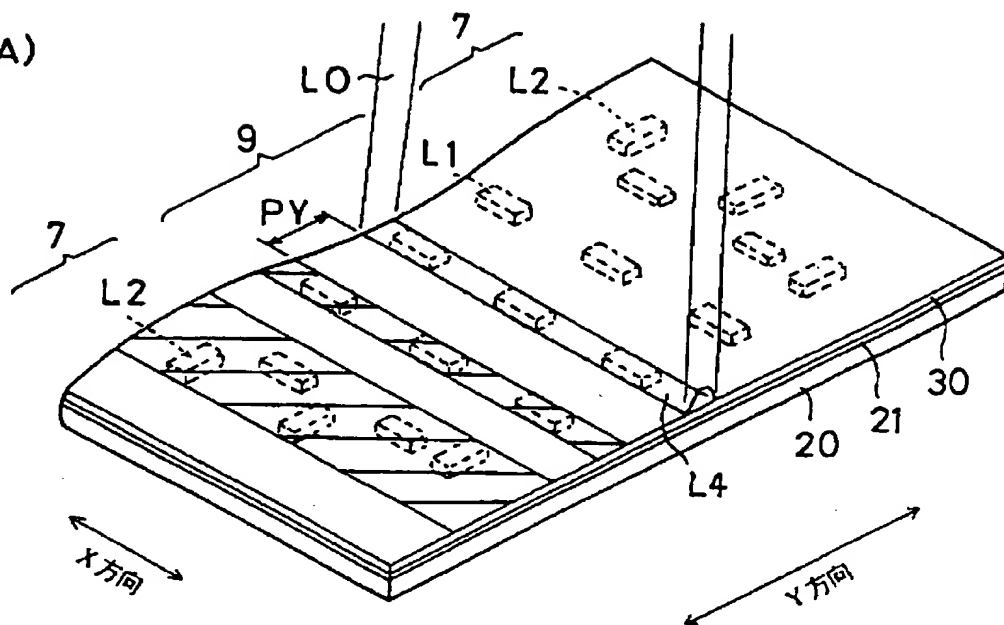
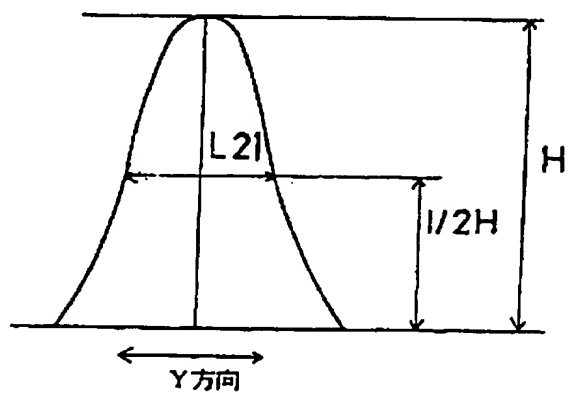


図 7

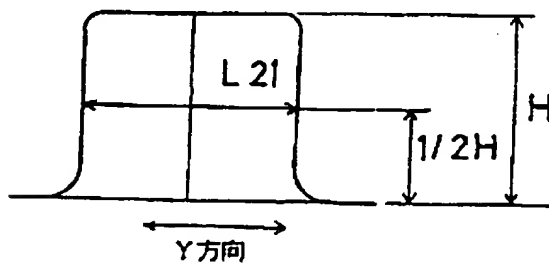
(A)



(B)



(C)



8/23

図 8

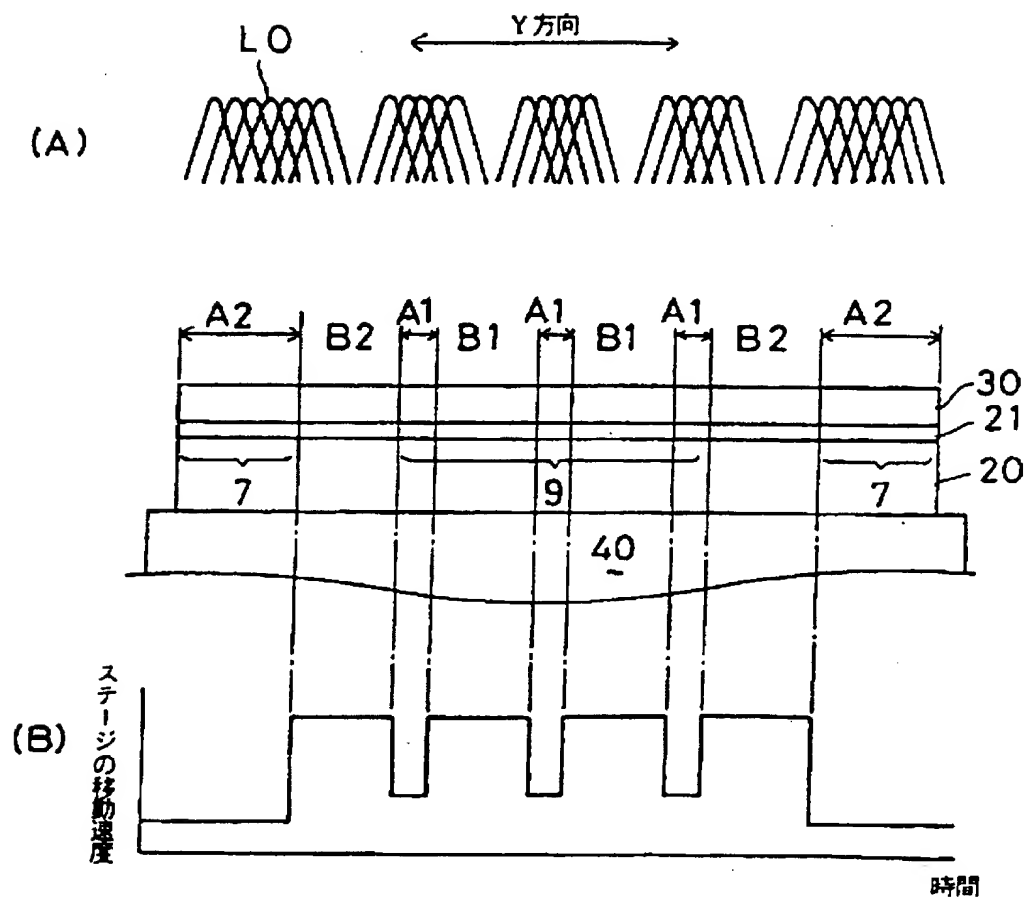
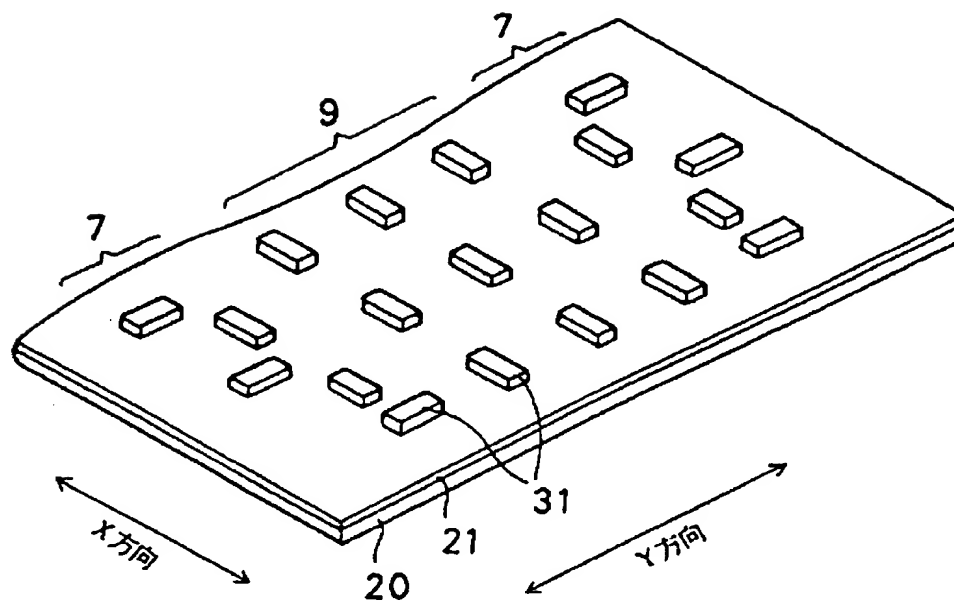


図 9



10/23

図 10

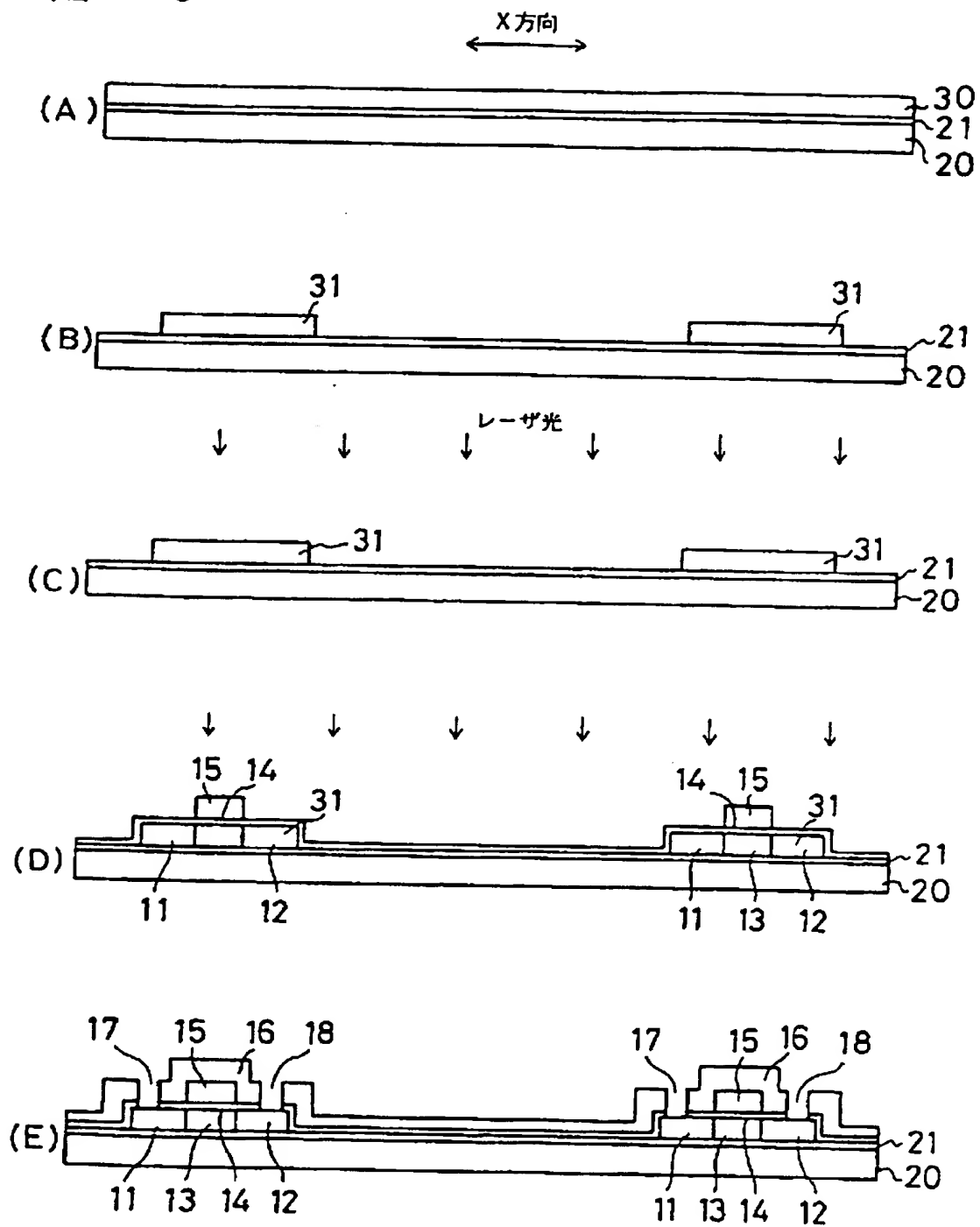
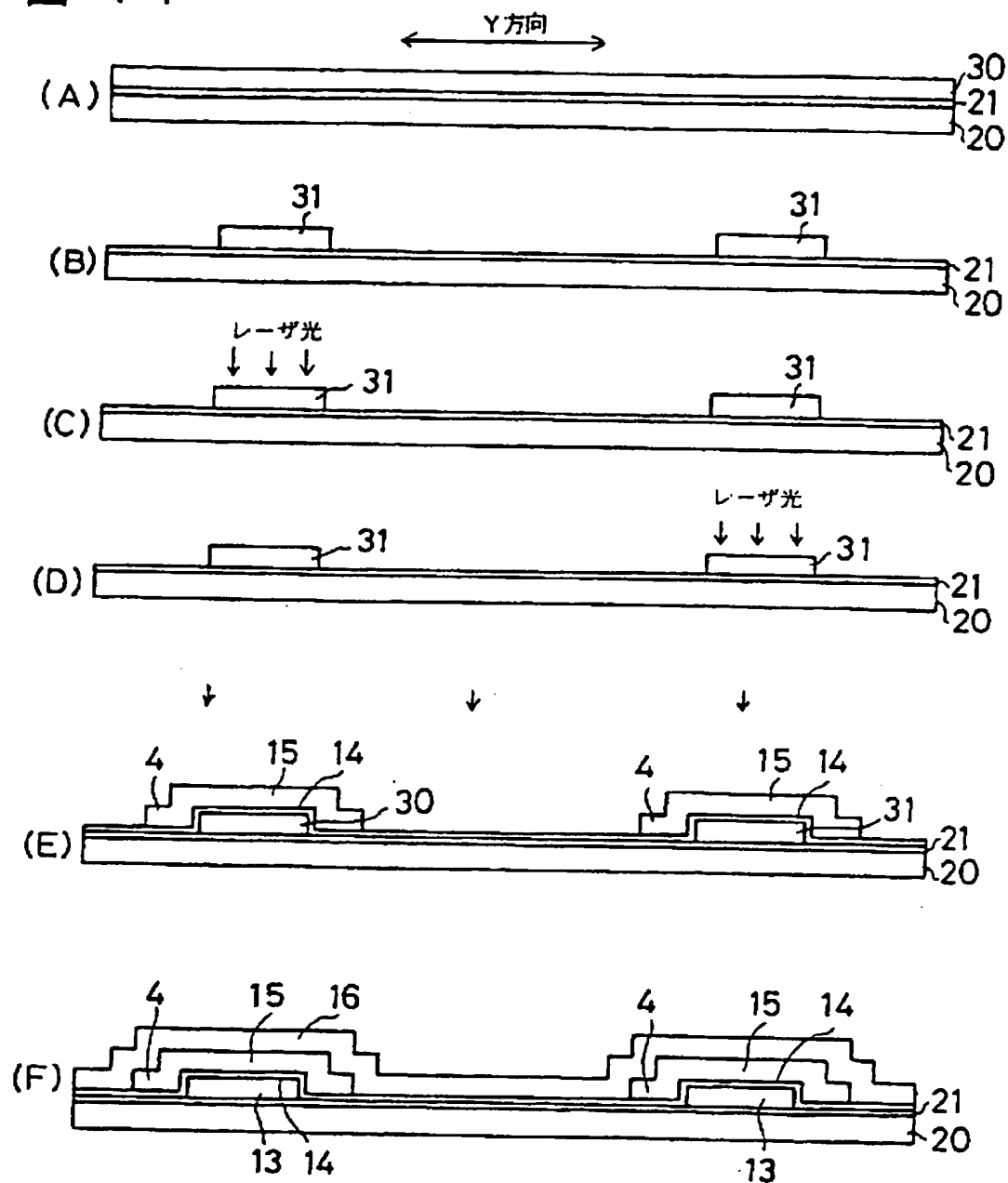


図 1 1



1 2

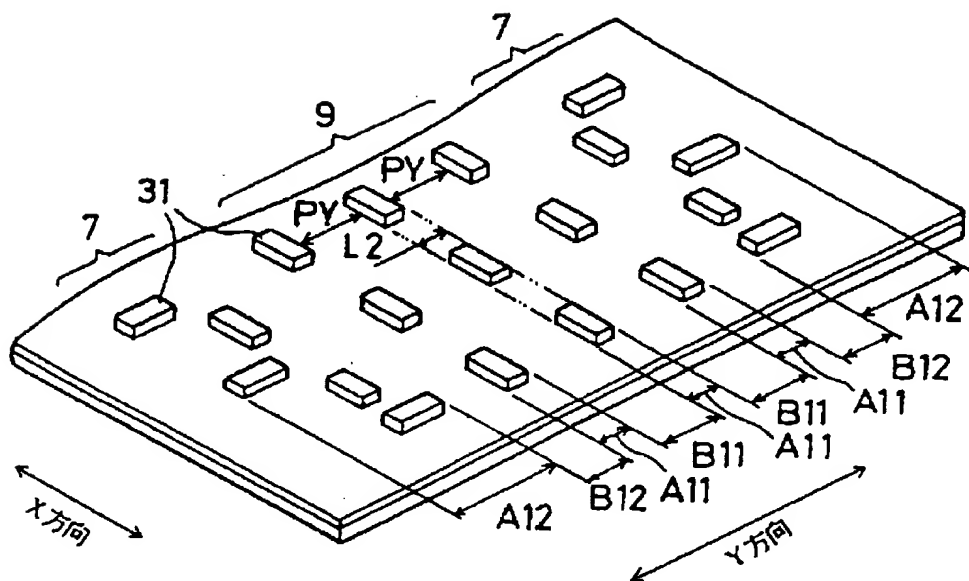
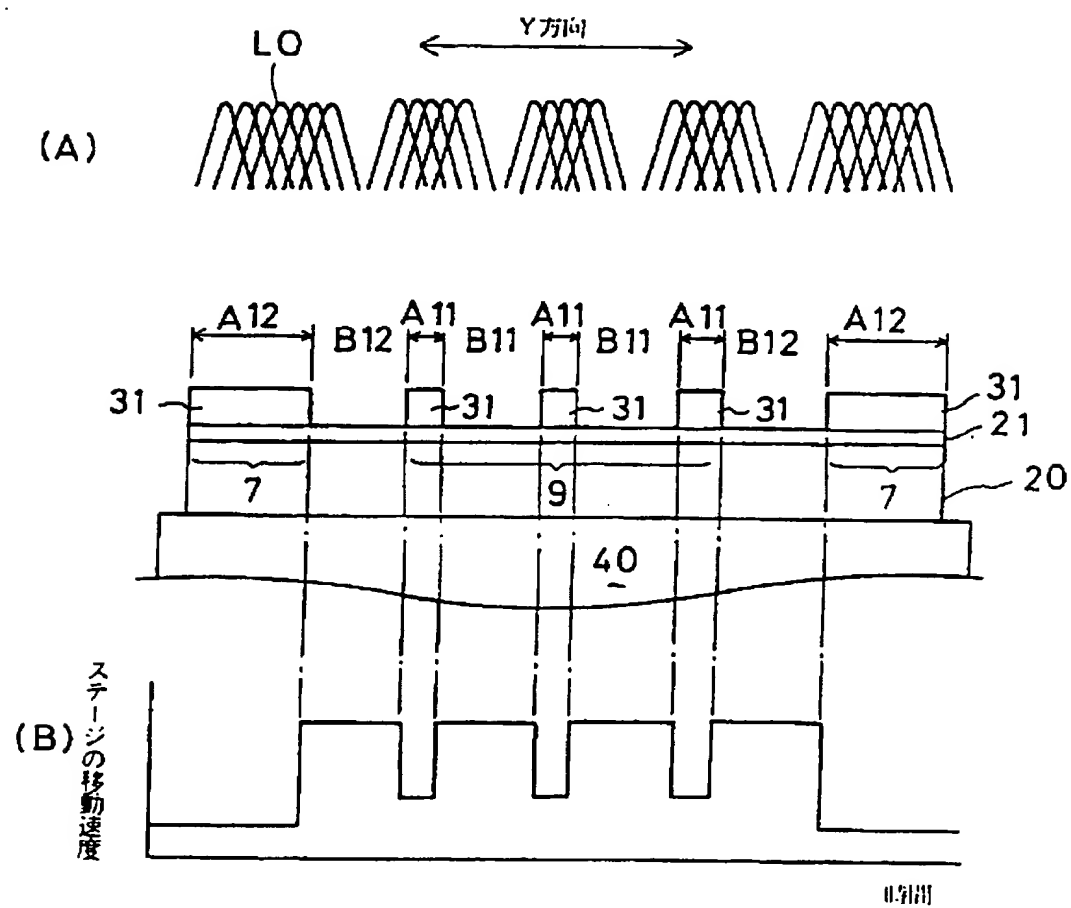
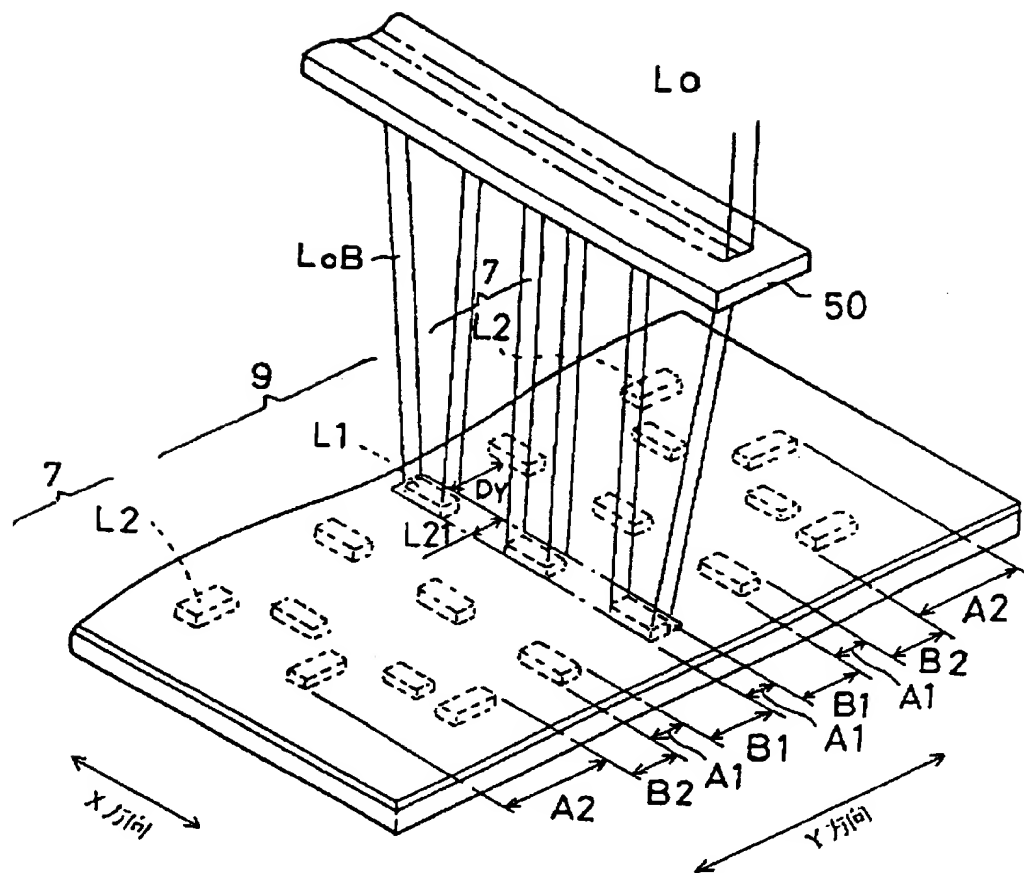


図 1 3



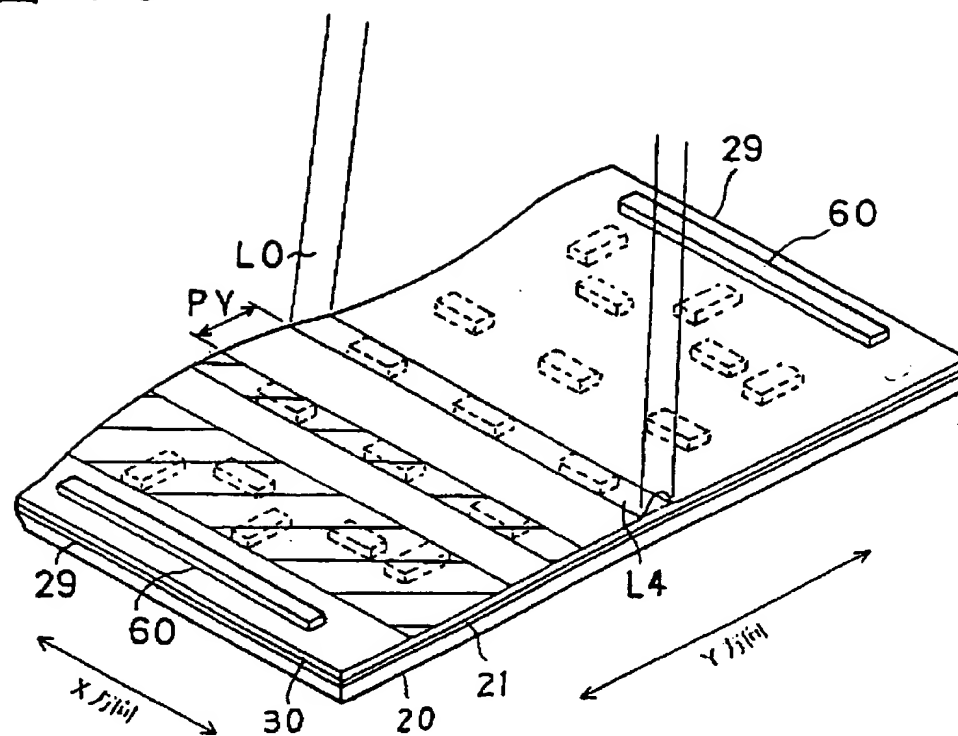
14/23

図 14



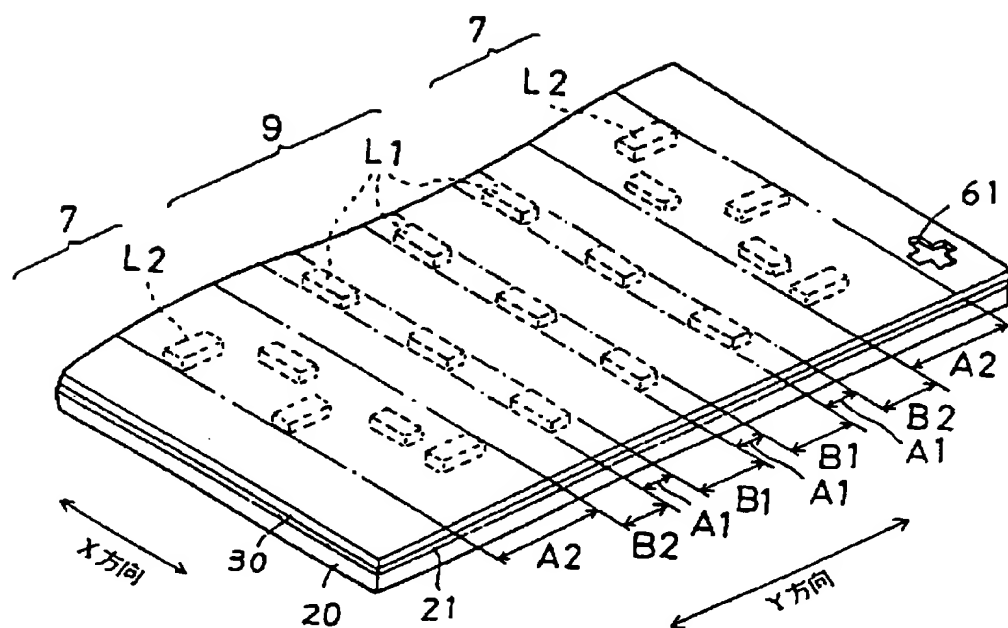
15/23

図 15



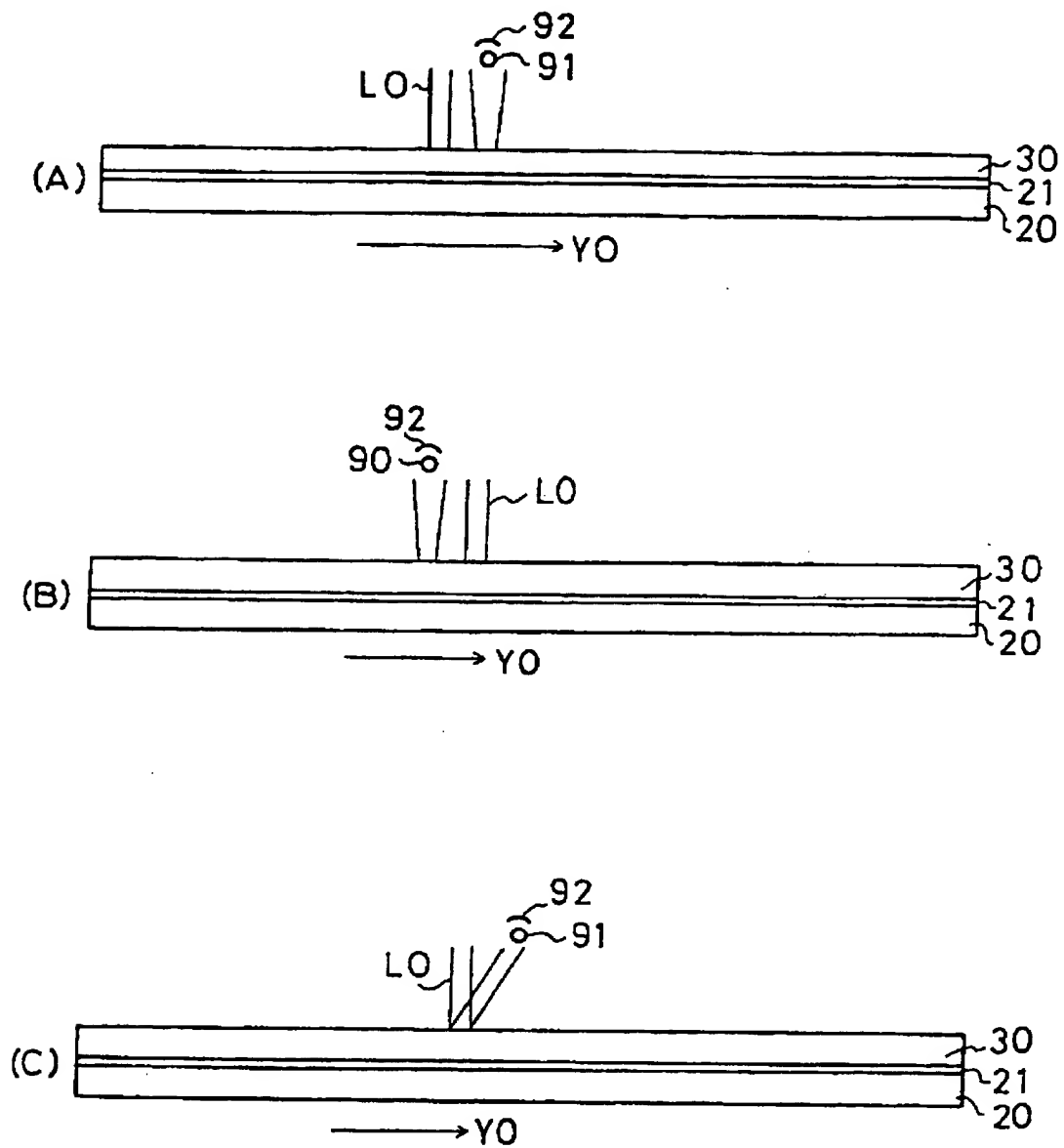
1 6 / 2 3

图 16



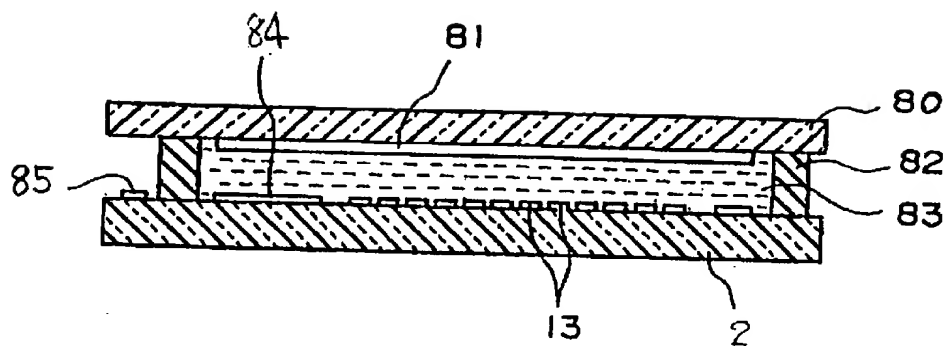
17/23

17



18/23

図 18



19/23

図 19

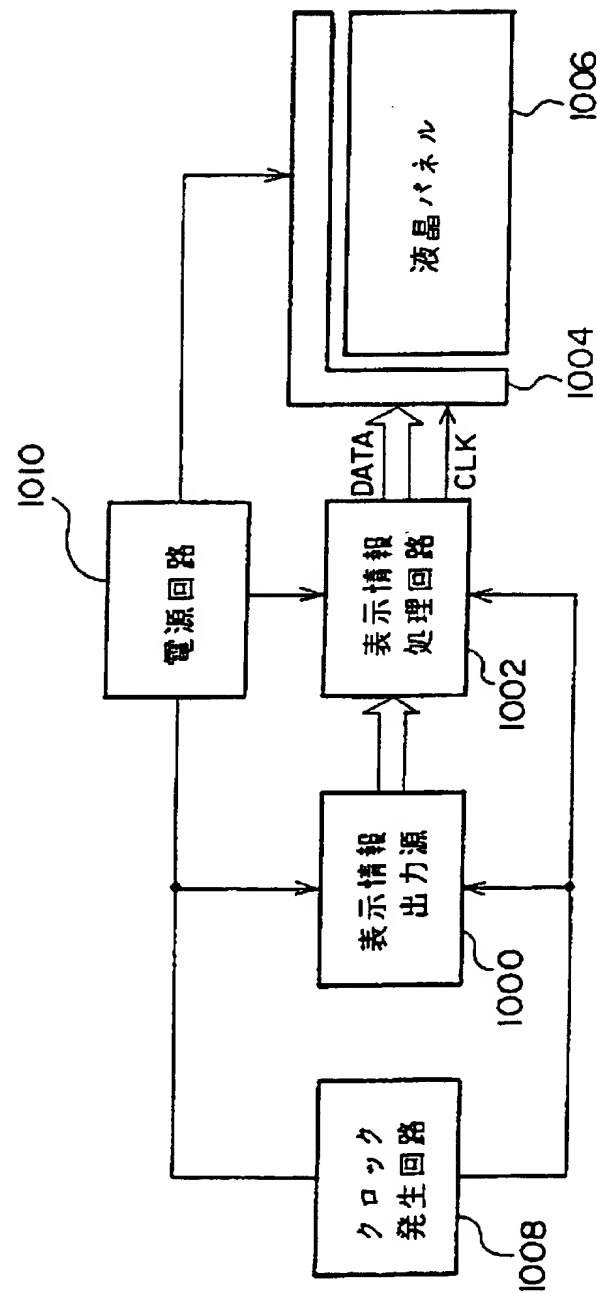
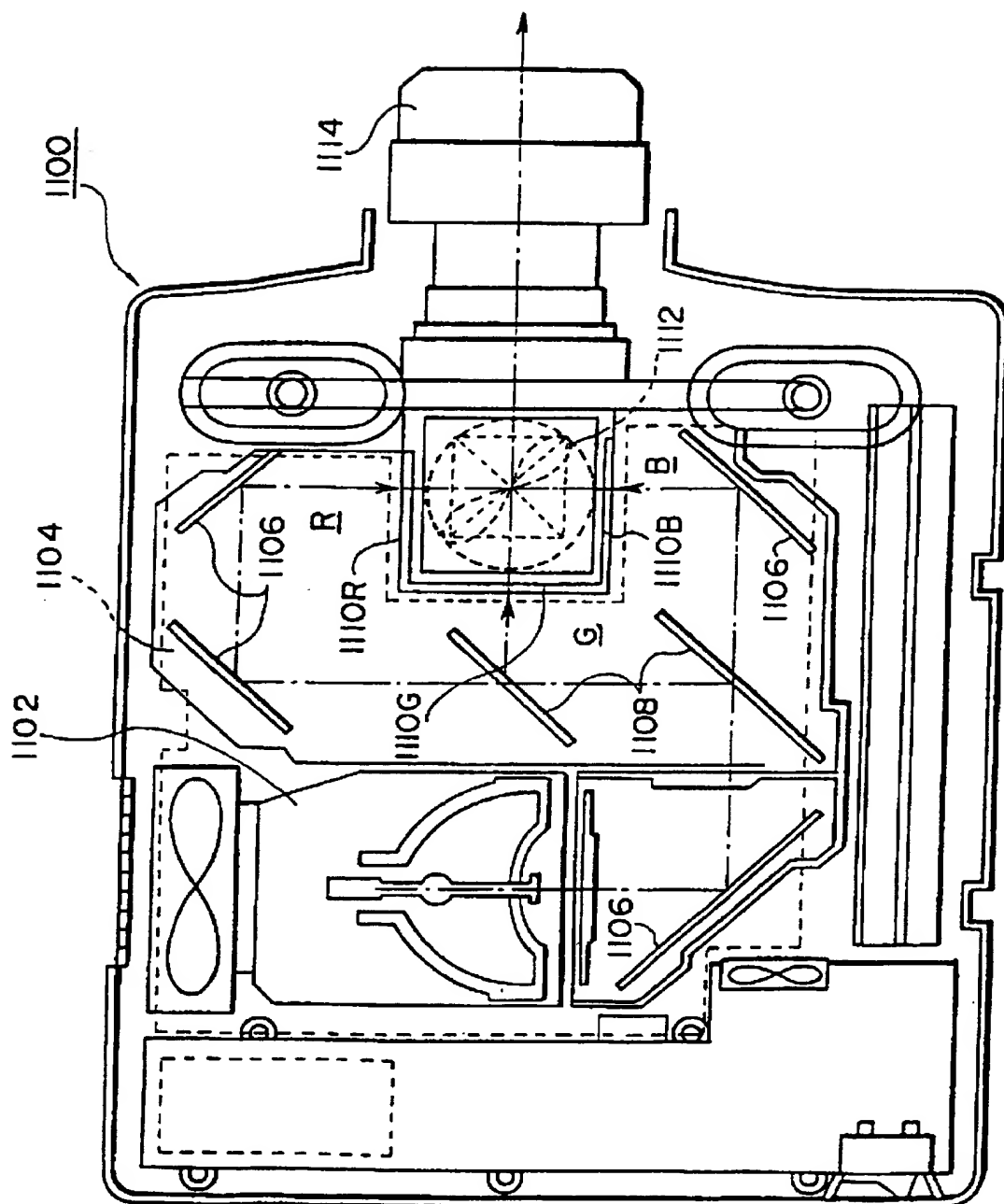
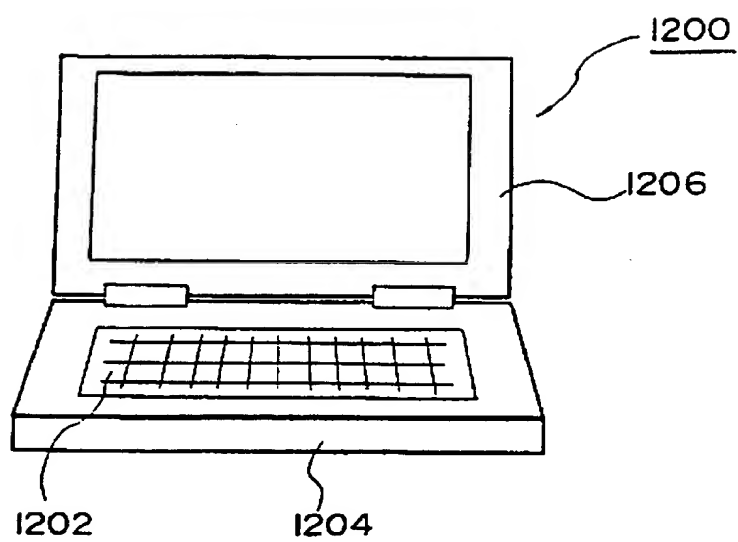


図 20



☒ 2 1



2 2 / 2 3

図 2 2

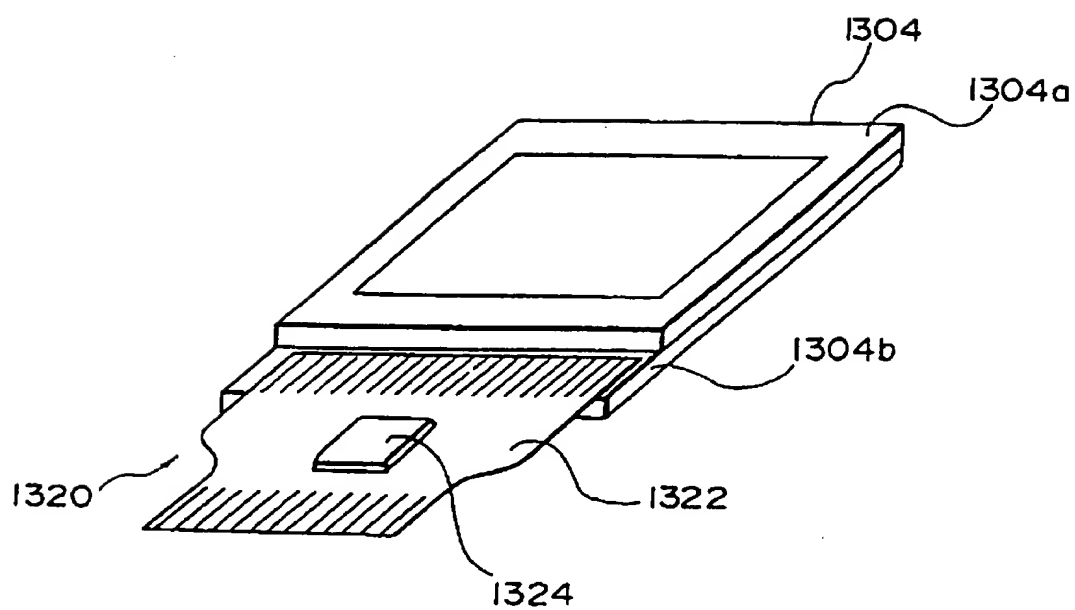


図 23

